

PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE EM MONTAGEM DE PLACAS ELETRÔNICAS

UMA ABORDAGEM UTILIZANDO ALGORITMOS GENÉTICOS



MVI



SPI



AOI



AXI



MDA



ICT



BST



FT

1

0

1

0

0

1

0

1

MARCOS MARINOVIC DORO

 Atena
Editora
Ano 2023

PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE EM MONTAGEM DE PLACAS ELETRÔNICAS

UMA ABORDAGEM UTILIZANDO ALGORITMOS GENÉTICOS



MVI



SPI



AOI



AXI



ICT



FT



BST



FT

1

0

1

0

0

1

0

1

MARCOS MARINOVIC DORO

 Atena
Editora
Ano 2023

Editora chefe	
Profª Drª Antonella Carvalho de Oliveira	
Editora executiva	
Natalia Oliveira	
Assistente editorial	
Flávia Roberta Barão	
Bibliotecária	
Janaina Ramos	
Projeto gráfico	
Camila Alves de Cremo	2024 by Atena Editora
Ellen Andressa Kubisty	Copyright © Atena Editora
Luiza Alves Batista	Copyright do texto © 2024 Os autores
Nataly Evilin Gayde	Copyright da edição © 2024 Atena
Thamires Camili Gayde	Editora
Imagens da capa	Direitos para esta edição cedidos à
iStock	Atena Editora pelos autores.
Edição de arte	Open access publication by Atena
Luiza Alves Batista	Editora



Todo o conteúdo deste livro está licenciado sob uma Licença de Atribuição Creative Commons. Atribuição-Não-Comercial-NãoDerivativos 4.0 Internacional (CC BY-NC-ND 4.0).

O conteúdo dos artigos e seus dados em sua forma, correção e confiabilidade são de responsabilidade exclusiva dos autores, inclusive não representam necessariamente a posição oficial da Atena Editora. Permitido o download da obra e o compartilhamento desde que sejam atribuídos créditos aos autores, mas sem a possibilidade de alterá-la de nenhuma forma ou utilizá-la para fins comerciais.

Todos os manuscritos foram previamente submetidos à avaliação cega pelos pares, membros do Conselho Editorial desta Editora, tendo sido aprovados para a publicação com base em critérios de neutralidade e imparcialidade acadêmica.

A Atena Editora é comprometida em garantir a integridade editorial em todas as etapas do processo de publicação, evitando plágio, dados ou resultados fraudulentos e impedindo que interesses financeiros comprometam os padrões éticos da publicação. Situações suspeitas de má conduta científica serão investigadas sob o mais alto padrão de rigor acadêmico e ético.

Conselho Editorial

Ciências Exatas e da Terra e Engenharias

Prof. Dr. Adélio Alcino Sampaio Castro Machado – Universidade do Porto

Profª Drª Alana Maria Cerqueira de Oliveira – Instituto Federal do Acre

Profª Drª Ana Grasielle Dionísio Corrêa – Universidade Presbiteriana Mackenzie

Profª Drª Ana Paula Florêncio Aires – Universidade de Trás-os-Montes e Alto Douro

Prof. Dr. Carlos Eduardo Sanches de Andrade – Universidade Federal de Goiás

Profª Drª Carmen Lúcia Voigt – Universidade Norte do Paraná

- Prof. Dr. Cleiseano Emanuel da Silva Paniagua – Instituto Federal de Educação, Ciência e Tecnologia de Goiás
Prof. Dr. Douglas Gonçalves da Silva – Universidade Estadual do Sudoeste da Bahia
Prof. Dr. Eloi Rufato Junior – Universidade Tecnológica Federal do Paraná
Prof^a Dr^a Érica de Melo Azevedo – Instituto Federal do Rio de Janeiro
Prof. Dr. Fabrício Menezes Ramos – Instituto Federal do Pará
Prof. Dr. Fabrício Moraes de Almeida – Universidade Federal de Rondônia
Prof^a Dr^a Glécilla Colombelli de Souza Nunes – Universidade Estadual de Maringá
Prof^a Dr^a Iara Margolis Ribeiro – Universidade Federal de Pernambuco
Prof^a Dra. Jéssica Verger Nardeli – Universidade Estadual Paulista Júlio de Mesquita Filho
Prof. Dr. Juliano Bitencourt Campos – Universidade do Extremo Sul Catarinense
Prof. Dr. Juliano Carlo Rufino de Freitas – Universidade Federal de Campina Grande
Prof^a Dr^a Luciana do Nascimento Mendes – Instituto Federal de Educação, Ciência e Tecnologia do Rio Grande do Norte
Prof. Dr. Marcelo Marques – Universidade Estadual de Maringá
Prof. Dr. Marco Aurélio Kistemann Junior – Universidade Federal de Juiz de Fora
Prof^a Dr^a Maria José de Holanda Leite – Universidade Federal de Alagoas
Prof. Dr. Miguel Adriano Inácio – Instituto Nacional de Pesquisas Espaciais
Prof. Dr. Milson dos Santos Barbosa – Universidade Tiradentes
Prof^a Dr^a Natiéli Piovesan – Instituto Federal do Rio Grande do Norte
Prof^a Dr^a Neiva Maria de Almeida – Universidade Federal da Paraíba
Prof. Dr. Nilzo Ivo Ladwig – Universidade do Extremo Sul Catarinense
Prof^a Dr^a Priscila Tessmer Scaglioni – Universidade Federal de Pelotas
Prof^a Dr Ramiro Picoli Nippes – Universidade Estadual de Maringá
Prof^a Dr^a Regina Célia da Silva Barros Allil – Universidade Federal do Rio de Janeiro
Prof. Dr. Sidney Gonçalo de Lima – Universidade Federal do Piauí
Prof. Dr. Takeshy Tachizawa – Faculdade de Campo Limpo Paulista

Planejamento da estratégia de inspeção e teste em montagem de placas eletrônicas - Uma abordagem utilizando algoritmos genéticos

Diagramação: Ellen Andressa Kubisty
Correção: Yaiddy Paola Martinez
Indexação: Amanda Kelly da Costa Veiga
Revisão: Os autores
Autor: Marcos Marinovic Doro

Dados Internacionais de Catalogação na Publicação (CIP)	
D715	Doro, Marcos Marinovic
<p>Planejamento da estratégia de inspeção e teste em montagem de placas eletrônicas - Uma abordagem utilizando algoritmos genéticos / Marcos Marinovic Doro. – Ponta Grossa - PR: Atena, 2024.</p> <p>Formato: PDF Requisitos de sistema: Adobe Acrobat Reader Modo de acesso: World Wide Web Inclui bibliografia ISBN 978-65-258-2123-8 DOI: https://doi.org/10.22533/at.ed.238240501</p>	
<p>I. Algoritmos de otimização. I. Doro, Marcos Marinovic. II. Título. CDD 005.74</p>	
<p>Elaborado por Bibliotecária Janaina Ramos – CRB-8/9166</p>	

DECLARAÇÃO DOS AUTORES

Os autores desta obra: 1. Atestam não possuir qualquer interesse comercial que constitua um conflito de interesses em relação ao artigo científico publicado; 2. Declaram que participaram ativamente da construção dos respectivos manuscritos, preferencialmente na: a) Concepção do estudo, e/ou aquisição de dados, e/ou análise e interpretação de dados; b) Elaboração do artigo ou revisão com vistas a tornar o material intelectualmente relevante; c) Aprovação final do manuscrito para submissão.; 3. Certificam que os artigos científicos publicados estão completamente isentos de dados e/ou resultados fraudulentos; 4. Confirmam a citação e a referência correta de todos os dados e de interpretações de dados de outras pesquisas; 5. Reconhecem terem informado todas as fontes de financiamento recebidas para a consecução da pesquisa; 6. Autorizam a edição da obra, que incluem os registros de ficha catalográfica, ISBN, DOI e demais indexadores, projeto visual e criação de capa, diagramação de miolo, assim como lançamento e divulgação da mesma conforme critérios da Atena Editora.

DECLARAÇÃO DA EDITORA

A Atena Editora declara, para os devidos fins de direito, que: 1. A presente publicação constitui apenas transferência temporária dos direitos autorais, direito sobre a publicação, inclusive não constitui responsabilidade solidária na criação dos manuscritos publicados, nos termos previstos na Lei sobre direitos autorais (Lei 9610/98), no art. 184 do Código Penal e no art. 927 do Código Civil; 2. Autoriza e incentiva os autores a assinarem contratos com repositórios institucionais, com fins exclusivos de divulgação da obra, desde que com o devido reconhecimento de autoria e edição e sem qualquer finalidade comercial; 3. Todos os e-book são *open access*, *desta forma* não os comercializa em seu site, sites parceiros, plataformas de e-commerce, ou qualquer outro meio virtual ou físico, portanto, está isenta de repasses de direitos autorais aos autores; 4. Todos os membros do conselho editorial são doutores e vinculados a instituições de ensino superior públicas, conforme recomendação da CAPES para obtenção do Qualis livro; 5. Não cede, comercializa ou autoriza a utilização dos nomes e e-mails dos autores, bem como nenhum outro dado dos mesmos, para qualquer finalidade que não o escopo da divulgação desta obra.

DEDICATÓRIA

Este livro é dedicado a toda minha família,
em especial a minha esposa Larissa e
minha filha Maria.

Atualmente no mercado da manufatura eletrônica existe uma grande pressão para reduzir custos, aumentar a qualidade e encurtar o tempo de inserção do produto no mercado. Neste contexto, o adequado planejamento de qualidade gera um alto ganho no ambiente competitivo, sendo um meio de alavancar a eficiência e a qualidade dos processos de uma empresa. No entanto, os planejadores da qualidade de hoje possuem significativamente muito mais desafios do que os de apenas alguns anos atrás. A complexidade das placas eletrônicas está aumentando, com mais componentes, mais juntas de solda, densidades mais elevadas, novas tecnologias de encapsulamentos de componentes, entre outros. Ao mesmo tempo, existem mais alternativas de equipamentos de inspeção e teste com novas tecnologias.

O nível de rendimento ou defeitos esperado na montagem de uma determinada placa eletrônica depende de vários fatores, dentre quais destacam-se: o projeto da placa eletrônica, os tipos de componentes utilizados, o número de componentes e juntas de solda, os processos executados, bem como a qualidade destes processos. Quanto maior for o número de componentes, juntas e processos, mais oportunidades de defeitos são criadas, o que leva a um rendimento mais baixo para um determinado nível defeito histórico. Em outras palavras, durante a produção de um lote placas eletrônicas muito complexas, com muitas oportunidades de defeitos, é esperado ser contabilizado um número de defeitos muito maior do que um lote de produção de placas eletrônicas simples.

Desta forma, se o número de defeitos contabilizados durante a produção não é fixo para todos os tipos de placa eletrônica, deve-se planejar as inspeções e os testes de forma eficaz e de forma particular para cada modelo de placas eletrônica. O planejamento das inspeções e dos testes tem por finalidade prover informações confiáveis referentes ao atendimento dos requisitos da qualidade dos produtos e dos processos. Ele deve garantir primordialmente que as inspeções e os testes sejam realizados de forma suficientemente econômica e ao mesmo tempo garantir a maior cobertura de defeitos possível.

O processo de montagem de placas eletrônicas possui uma multiplicidade de questões a serem consideradas durante o planejamento das inspeções e testes. Existe uma variedade de técnicas de inspeção e testes disponíveis, dentre estas se destacam: Inspeção Óptica Automática (AOI), Inspeção de Pasta de Solda (SPI), Inspeção Raios-X Automática (AXI), Teste *In-Circuit* (ICT), Teste *Boundary Scan* –JTAG, entre outras. No entanto, não existe uma única técnica que sane todos os desafios e identifique todos os defeitos gerados durante a montagem, cada uma tem suas próprias vantagens e desvantagens, sendo necessário avaliar cada possível solução dentre as diferentes combinações

disponíveis. O diagrama de Venn na Figura 1 mostra a cobertura de defeitos para algumas das principais técnicas de inspeção e teste.

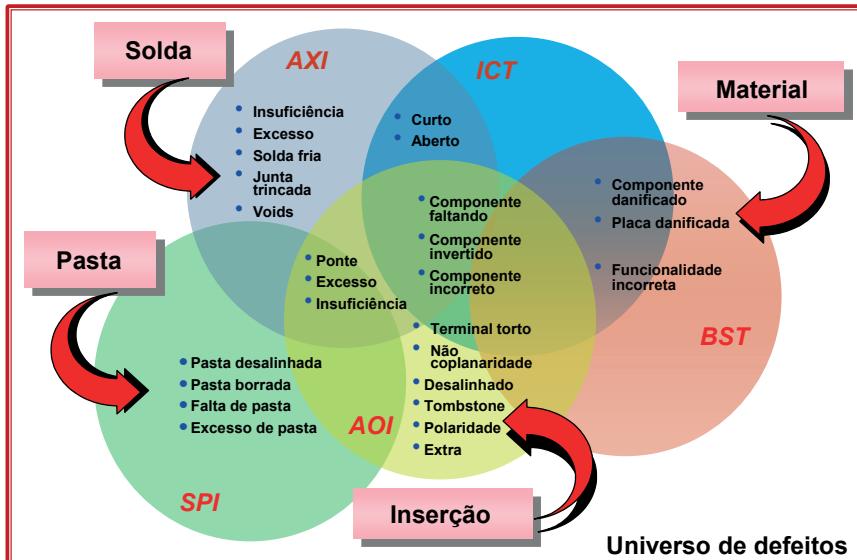


Figura 1 - Cobertura de defeitos das principais técnicas de inspeção e teste empregadas na montagem de placas eletrônicas (adaptado de LOTZ, 2009)

Cada uma destas tecnologias possui sua própria cobertura de defeitos e características de desempenho, o planejador deve avaliar seu próprio espectro de defeitos e seus objetivos de desempenho a fim de optar por uma determinada técnica. O planejador deverá balancear os conflitos entre custos operacionais, custos de capital, cobertura de defeitos, rendimento e diagnóstico. A eficácia de cada técnica revela as capacidades relativas dos diferentes tipos de equipamentos de inspeção de teste e o posicionamento ideal dos mesmos na linha de montagem.

Como se pode observar, o planejamento das inspeções e dos testes é uma etapa crítica de ser realizada no processo de montagem de placas eletrônicas, devido à complexidade de informações para estabelecer a melhor escolha das diferentes técnicas de inspeção e testes para a variedade de produtos. Por sua vez, o planejamento passou a ser um dos objetos de estudo na área de Inteligência Artificial (IA). O problema de planejamento em IA pode ser definido informalmente como o processo de se estabelecer uma sequência de ações que levam ao resultado desejado.

Atualmente a área de planejamento em IA está subdividida em dois segmentos: o planejamento clássico e o planejamento não clássico. No primeiro, ocorre em ambientes completamente observáveis, determinísticos,

finitos, estáticos e discretos. Por sua vez, no planejamento não clássico o agente depara-se com situações imprevisíveis, cujo grau de certeza da ação nem sempre é absoluto. O planejamento em IA se interessa por abordagens gerais independente do domínio para o planejamento. Desta forma, ele pode ser empregado em diversas áreas, tais como: robótica, logística, processos industriais, problemas de escalonamento, jogos de estratégia, composição de serviços-web, planejamento para recuperação de informação, entre outros. Geralmente os planos são gerados para otimizar algum critério: custo, tempo, qualidade, etc.

Em geral, existem diversas maneiras de se representar um problema de planejamento. As primeiras abordagens para o problema de planejamento têm suas raízes na década de 60, quando o planejamento automático era feito como prova de teoremas em lógica de primeira ordem como representação. Pelo fato de tratar lidar de problemas complexos, resolveu-se na época estabelecer um formalismo esta lógica, este sistema foi denominado de STRIPS (*Stanford Research Institute Problem Solver*). Esta solução agregava uma linguagem de representação simples e um algoritmo clássico de busca no espaço de estados. Por este motivo foi adotado como sistema padrão pela comunidade de planejamento e até hoje é a base dos principais planejadores modernos.

Com o passar dos anos, vários foram os trabalhos que direcionaram ao estudo e tratamento de problemas do planejamento, transformando-o numa área multidisciplinar e dinâmica. Com essa multidisciplinaridade, diversificaram-se os domínios e consequentemente ampliou-se a complexidade dos sistemas e surgiram novos métodos, entre eles os baseados em Funções Heurísticas, Redes de Petri, Satisfação de Restrições, Prova de teoremas, Algoritmos Genéticos, entre outros.

Em suma, o planejamento em IA é uma área de pesquisa que integra diversas áreas do conhecimento. O presente trabalho aplicou Algoritmos Genéticos como técnica de otimização para selecionar a melhor escolha em problemas de planejamento. Algoritmos Genéticos (AG) são modelos computacionais que imitam os mecanismos da evolução natural que podem ser usados para resolver problemas de busca e otimização, eles fazem parte da computação evolucionária, que é uma área em crescimento da IA. O tratamento de situações de planejamento a partir de AG se mostra bastante interessante no cenário atual da área, pois apresenta um grande espaço de busca, o que é uma característica dos problemas tratados de forma satisfatória por AG. Outro fator relevante é o relaxamento da restrição de otimização da solução, presente em vários planejadores atuais, o que facilita a busca pela solução no AG.

O presente trabalho aplicou Algoritmos Genéticos como técnica de otimização, o NSGA-II foi o algoritmo utilizado para resolução do problema de planejamento da inspeção e teste. Com esse propósito, empregou-se o software Microsoft Excel em conjunto com o componente *SolveXL* para executar as funções objetivo e as demais etapas correlacionadas ao Algoritmos Genéticos. Para a análise dos resultados, três modelos de placas eletrônicas de diferentes níveis de complexidades foram escolhidos.

Desta forma, conceitos importantes sobre as técnicas de inspeção e teste e a apresentação de uma ferramenta para auxiliar os planejadores da qualidade do processo de montagem de placas eletrônicas é o foco principal deste livro. Será apresentado detalhadamente a construção de um método capaz de gerar automaticamente a melhor estratégia de inspeção e teste a cada nova placa eletrônica introduzida na linha de montagem.

A seguir, no capítulo 1 são apresentadas as considerações mais relevantes para a definição da melhor estratégia de inspeção e teste para detectar os diferentes tipos de defeitos durante a montagem de uma placa eletrônica. No capítulo 2 é realizado um desenvolvimento descritivo e teórico de Algoritmos Genéticos. O capítulo 3 descreve um aplicativo idealizado voltado para a definição da estratégia de inspeção e teste no processo de montagem de placas eletrônicas. Finalmente no capítulo 4 são discutidos os resultados obtidos e apresentadas a considerações finais.

PLANEJAMENTO DAS INSPEÇÕES E TESTES NO PROCESSO DE MONTAGEM DE PLACAS ELETRÔNICAS	1
1.1 Defeitos na montagem de placas eletrônicas	1
1.2 Técnicas de inspeção e teste no processo de montagem de placas eletrônicas.....	4
1.2.1 Inspeção	4
1.2.2 Testes estruturais	8
1.2.3 Testes funcionais (FT).....	11
1.3 Estratégia de inspeção e teste	13
1.3.1 Padrões de avaliação a cobertura de defeitos	16
ALGORITMOS GENÉTICOS COMO FERRAMENTA PARA O PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE	18
2.1 Inicialização (Codificação).....	20
2.2 Avaliação (Função objetivo ou <i>fitness</i>).....	21
2.3 Seleção	22
2.3.1 Seleção por torneio	23
2.3.2 Seleção uniforme.....	23
2.3.3 Seleção da roleta	23
2.3.4 Seleção por <i>ranking</i>	24
2.4 Cruzamento (<i>Recombinação</i>)	24
2.4.1 Cruzamento em um ponto	24
2.4.2 Cruzamento multipontos	25
2.4.3 Cruzamento Uniforme	25
2.5 Mutação	26
2.5.1 Mutação por inversão	26
2.5.2 Mutação Uniforme	26
2.5.3 Mutação Gaussiana.....	26
2.5.4 Mutação Creep.....	27

SUMÁRIO

2.6 Finalização.....	27
2.7 Algoritmos Genéticos Multi-Objetivos.....	27
2.7.1 NSGA-II: Non-dominated Sorting Genetic Algorithm	30
2.8 Discussões de implementação.....	31
APLICATIVO PARA O PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÕES E TESTES NO PROCESSO DE MONTAGEM DE PLACAS ELETRÔNICAS....	33
3.1 Estruturação do aplicativo	34
3.1.1 Planilhas	34
3.1.2 Componente SolveXL	35
3.2 Estruturação do Algoritmo Genético	35
3.2.1 Codificação	36
3.2.2 Inicialização	38
3.2.3 Função Multi-Objetivo	38
3.2.4 Operadores de seleção, cruzamento e mutação	47
RESULTADOS E DISCUSSÕES	49
4.1 Configuração do Algoritmo NSGA-II	49
4.2 Estudo de caso 1: Geração da estratégia de inspeção e teste para uma placa eletrônica de baixa complexidade	50
4.3 Estudo de caso 2: Geração da estratégia de inspeção e teste para uma placa eletrônica de média complexidade.....	52
4.4 Estudo de caso 3: Geração da estratégia de inspeção e teste para uma placa eletrônica de alta complexidade.....	55
4.5 Considerações finais	57
REFERÊNCIAS	60
SOBRE O AUTOR	64

PLANEJAMENTO DAS INSPEÇÕES E TESTES NO PROCESSO DE MONTAGEM DE PLACAS ELETRÔNICAS

A produção de placas eletrônicas envolve um grande número de fatores relacionados a produto e processo que podem gerar defeitos, influenciando diretamente na qualidade final do produto. Entretanto, não existe uma técnica capaz de detectar todos os defeitos que podem ser gerados em uma placa eletrônica. Assim sendo, as diferentes técnicas existentes devem ser combinadas de forma adequada a fim de se atingir a maior cobertura de defeitos possível com o menor custo possível. Este capítulo visa explanar os diferentes tipos de defeitos que podem estar presentes durante a montagem das placas eletrônicas, as principais técnicas de inspeção e teste utilizadas para detectarem estes defeitos e por último discutir os aspectos mais relevantes para a definição da melhor estratégia de inspeção e teste para a montagem de uma placa eletrônica.

1.1 DEFEITOS NA MONTAGEM DE PLACAS ELETRÔNICAS

Existem atualmente dois tipos principais de tecnologia de montagem de placas eletrônicas: a tecnologia de montagem através de furos, conhecida pela sigla THT (*Through-Hole Technology*), e a tecnologia de montagem em superfície, denominado pela sigla SMT (*Surface Mount Technology*). As placas eletrônicas de tecnologia THT dominou o mercado até o final dos anos 80 vêm sendo substituída pela montagem SMT. Atualmente, menos de 15% do total de componentes produzido mundialmente são de tecnologia THT. Desta forma, este trabalho se restringirá seu estudo somente para placas eletrônicas de tecnologia SMT (Figura 2).

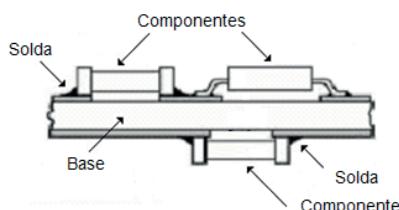


Figura 2 - Esquema de montagem de uma placa eletrônica de tecnologia SMT (DORO, 2004)

O processo de montagem SMT é um processo totalmente automatizado e consiste de três etapas principais. A primeira etapa consiste na deposição da pasta de solda¹ sobre a superfície da placa eletrônica, em seguida são inseridos os componentes eletrônicos nos locais onde foi aplicada a pasta de solda, e por fim, é realizada a soldagem por refusão².

1 **Pasta de solda:** material constituído por um pó metálico que compõem a liga de solda e uma combinação de resina, ativadores, aditivos reológicos e solventes, chamado de fluxo de solda.

2 **Refusão:** ação de aplicar calor suficiente de modo que ocorra a separação da solda e do fluxo e posteriormente o derretimento da solda

A deposição da pasta de solda é feita normalmente por um processo de impressão serigráfica. Neste processo um rodo pressiona e espalha a pasta de solda sobre uma tela metálica vazada, chamada de estêncil, permitindo a passagem da pasta somente sobre os locais desejados da placa eletrônica. Estima-se que cerca de 40 variáveis influem no resultado final do processo, tornando complexa a identificação da causa raiz que originou o defeito. Estudos mostram que 60% dos defeitos em montagem em placas eletrônicas podem ser atribuídos ao processo de impressão de pasta de solda. Deste modo, inspecionar a placa eletrônica imediatamente após a impressão de pasta de solda, além de evitar que defeitos sejam gerados nas próximas etapas de montagem, permite controlar o processo mais crítico. Os defeitos relacionados à aplicação da pasta de solda são: excesso ou falta de pasta de solda, pasta de soda desalinhada e pasta de solda borrada. A Figura 3 ilustra os aspectos que devem ser controlados durante a aplicação de pasta de solda para não ocasionarem defeitos nas próximas etapas do processo.

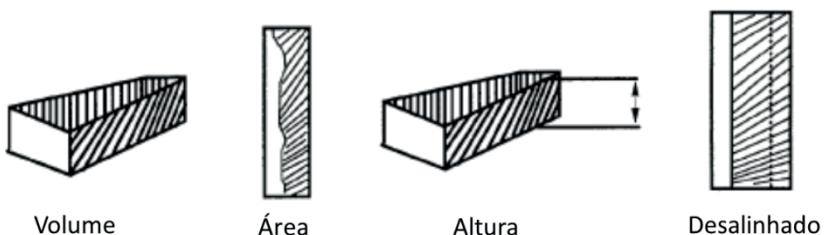


Figura 3 - Aspectos na aplicação de pasta de solda causadores de defeitos (COOMBS, 2001)

Por sua vez, a inserção de componentes sobre a pasta de solda aplicada é executada através de máquinas de inserção automática. Existem diferentes topologias de máquinas de inserção de componentes SMT, a maior diferença entre estas máquinas está no transporte do componente do alimentador para a placa eletrônica, sendo que a maioria utilizam bocais a vácuo para executar este transporte. Diferentes tipos de bocais são projetados para os variados tipos de componentes.

A exatidão e a repetibilidade das máquinas insensoras de componentes SMT é o resultado de uma série de parâmetros, entre eles sobressaem-se: exatidão do eixo de movimentação, resolução das câmeras de visão, algoritmos de visão, fixação da placa, programa de coordenadas, pressão de inserção dos componentes, tipos de bocais e alimentadores. A configuração e o controle inadequado destes parâmetros pode gerar uma série de defeitos, os quais são acentuados caso exista uma aplicação incorreta de pasta de solda sobre a placa eletrônica. Dentre os defeitos encontrados após processo de inserção destacam-se: componente danificado, componente faltando, componente inserido na posição incorreta (invertida, valor ou tipo incorreto e extra) e componente deslocado (Figura 5).

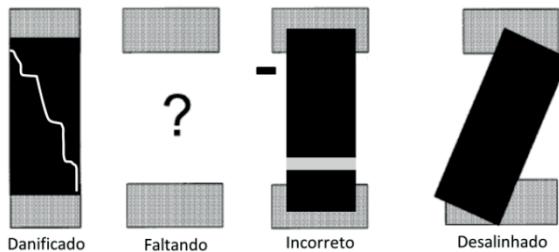


Figura 4 - Principais defeitos gerados na inserção dos componentes (Adaptado de COOMBS, 2001)

A refusão da pasta de solda é a última etapa a ser realizada, através deste processo é realizada a soldagem entre o componente e a placa. Esta etapa é realizada em um forno, denominado de forno de refusão. Este forno possui zonas com temperaturas diferenciadas ao longo do caminho percorrido pela placa eletrônica por uma esteira rolante. A refusão da pasta de solda acontece através do perfil térmico do forno, ou seja, a curva da temperatura da placa em função do tempo. Um perfil térmico mal ajustado para a placa eletrônica, bem como, uma incorreta aplicação de pasta de solda e inserção de componentes, geram uma série de defeitos, os quais se destacam: insuficiência ou excesso de solda, curto, buracos na solda, solda trincada (fria) e não molhamento. A Figura 5 apresenta as características que influenciam na confiabilidade da junta de solda gerando defeitos de montagem.

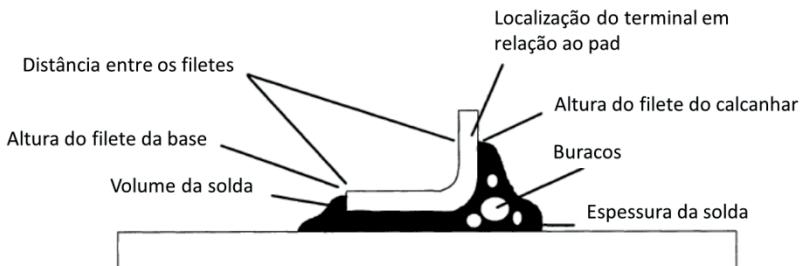


Figura 5 - Características que influenciam na confiabilidade da junta de solda (COOMBS, 2001)

Observa-se, portanto, que em cada etapa do processo de montagem de placas eletrônicas pode ser gerados uma série de defeitos. Destaca-se que estes defeitos são acumulativos e alguns são transformados em outros. Quanto mais tempo demorar em encontrar e corrigir estes defeitos mais custosos será os reparos (Figura 6).

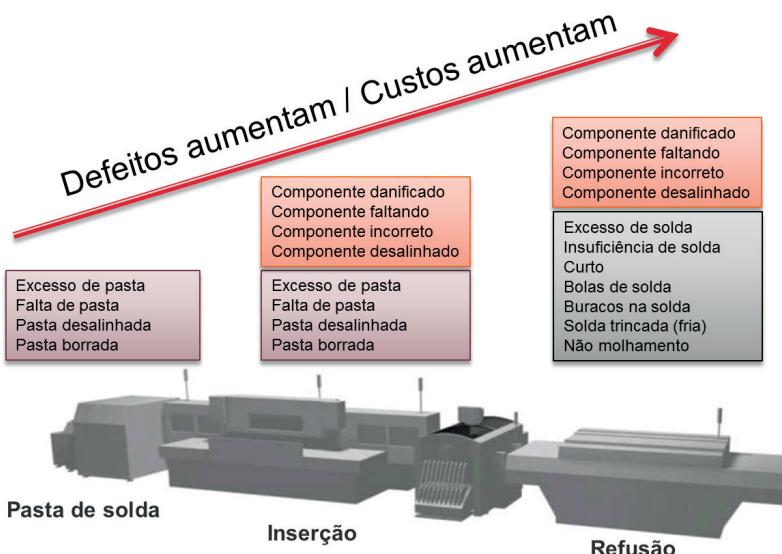


Figura 6 - Processo de montagem de placas eletrônicas e principais defeitos encontrados em cada etapa do processo

Grande parte dos defeitos é controlada de forma atributiva, o que dificulta muito a inspeção e o controle do processo. Para prevenir ou corrigir esses defeitos requer-se um conhecimento apurado das relações de causa e efeito do processo de montagem. No entanto, um teste 100% do produto no final da linha sempre se torna necessária, pois um teste por amostragem pode causar erros do Tipo I e II. Há empresas que adotam a inspeção ou o teste 100% após cada etapa de processo para evitar o retrabalho e corrigir o processo o mais rápido possível. Entretanto, é fundamental conhecer e aplicar corretamente as técnicas de inspeção e teste no processo de montagem de placas eletrônicas.

1.2 TÉCNICAS DE INSPEÇÃO E TESTE NO PROCESSO DE MONTAGEM DE PLACAS ELETRÔNICAS.

As técnicas utilizadas em uma linha de montagem de placas eletrônicas para detectarem defeitos em uma placa eletrônica podem ser divididas em inspeção, testes estruturais e testes funcionais. A seguir serão apresentadas as particularidades destas técnicas.

1.2.1 Inspeção

A inspeção na linha de montagem de placas eletrônicas é realizada predominantemente através de métodos ópticos. Os principais defeitos detectados pela inspeção são defeitos de superfície, os quais podem ocorrer durante toda a etapa de montagem, como: riscos, coloração e manchas, componentes faltando, componentes incorretos e componentes

posicionados incorretamente; bem como, juntas abertas, curtos e varrições de espessura das juntas de solda.

Os equipamentos de inspeção podem ser posicionados na linha de montagem de placas eletrônicas, desde a inserção da placa nua na linha até a montagem final do produto. A seguir são apresentados os diferentes tipos de técnicas de inspeção usados para controlar o processo de montagem de placas eletrônicas.

1.2.1.1 Inspeção visual manual (MVI)

A inspeção visual manual consiste de um inspetor humano identificando os defeitos nas placas eletrônicas com o auxílio de uma lente de aumento ou até mesmo um sistema de câmera de vídeo. O ser humano é sem dúvida o mais flexível e inteligente de todos os sistemas de inspeção. Este possui habilidade de relembrar de vários detalhes dos critérios de inspeção, perceber detalhes de cor e geometria e interpretar novas e imprevistas circunstâncias, que são difíceis de serem alcançadas com qualquer tecnologia de software e hardware atualmente. Contudo, o elemento humano em um processo de inspeção contribui significativamente para a geração de erros de inspeção.

Os principais fatores na inspeção manual que levam os erros de inspeção são: velocidade de inspeção, fatiga do operador, julgamento do operador, resolução do equipamento, manipulação das partes, campo de visão e profundidade de campo. Os erros de inspeção podem ser minimizados a partir de um programa de treinamento e a utilização de critérios inspeção. A norma IPC-A-610E define padrões fotográficos de alvo, aceitável e defeitos de montagem de placas eletrônicas.

Contudo, como a produção de placas eletrônicas se caracteriza por ser um ambiente que demanda alta flexibilidade, onde montagens de lotes com diversos tamanhos devem ser suportadas com eficácia e agilidade. Tal fato requer uma excessiva atenção às atividades manuais e demais interações humanas envolvidas no processo. Busca-se neste modo, sempre que possível, a utilização das técnicas de inspeção automática a fim de suprir as deficiências encontradas na inspeção visual manual.

1.2.1.2 Inspeção óptica automática (AOI)

A inspeção óptica automática oferece vários benefícios em relação à inspeção humana. Através de uma alta ampliação óptica e com o uso da automação, as máquinas AOI fornecem resultados mais confiáveis e consistentes do que os operadores humanos, especialmente nos componentes menores e em placas densas. Adicionalmente, as máquinas AOI reduzem o número de inspetores humanos necessários e os custos associados e ainda aumenta o rendimento da produção.

As máquinas AOI são mais eficientes em detectar os defeitos relacionados à presença, orientação e localização de componentes, embora consiga detectar alguns

defeitos relacionados às juntas de solda. Estas máquinas normalmente trabalham em linha e é integrada a estação de reparo, podendo ser posicionadas em várias partes da linha de montagem.

Os sistemas de inspeção óptica automática utilizam câmeras de alta ampliação óptica, vertical e angular, em conjunto com um sistema de iluminação, esteiras, estágios de rápida movimentação XY e processadores para controlar o sistema. O processo começa com a captura da imagem através de uma ou mais câmeras. Em seguida, o processador irá transformá-la em uma matriz de elementos de imagem, ou pixels. Para cada pixel é atribuído uma valor analógico, dependendo da luminosidade. Este é então convertido num valor digital para mais adiante ser analisado ou gravado. A maioria das máquinas AOI pode ser programada pelo pessoal de nível técnico. Dependendo da técnica de programação, das ferramentas de software disponibilizadas e do sistema operacional, o tempo de programação pode variar enormemente entre as máquinas.

As primeiras máquinas AOI utilizavam apenas uma imagem de referência, chamada de “*Golden-board*”, correlacionando essa imagem de referência com as imagens recém-adquiridas. Esta técnica conseguia prover de uma rápida programação, porém o diagnóstico de defeitos não era tão específico, não sendo possível definir a posição exata dos componentes e os ângulos de rotação, as tolerâncias numéricas específicas para os componentes e o formato das juntas de solda.

Atualmente as máquinas AOI usam os dados originais dos softwares de desenvolvimento da placa eletrônica, assim conseguem quantificar a rotação e a translação do componente e o formato da junta de solda. Neste caso, o tempo de programação pode não ser muito rápido, caso não exista uma biblioteca abrangente contendo os modelos de componentes que serão soldados na placa.

1.2.1.3 Inspeção Raio-X automática (AXI)

A inspeção óptica automática é eficiente na inspeção de placas eletrônicas que possuem as juntas de solda visíveis. No entanto, muitas placas eletrônicas atualmente estão usando tecnologias de circuitos integrados com as juntas de solda não são visíveis, tal como o BGA. Neste caso, é necessário utilizar outras tecnologias de inspeção. As máquinas de inspeção Raio-X automática, também chamadas de máquinas AXI, é um equipamento que pode não apenas verificar as juntas de solda em baixo dos componentes eletrônicos, mas também revelar muitos defeitos em juntas de solda que podem não ser visíveis com equipamentos de inspeção de óptica comum.

Deste modo, a máquina AXI é eficaz especialmente nos defeitos relacionados à confiabilidade das juntas de solda, ocultas ou visíveis, incluindo juntas de solda em aberto ou em curto e buracos na solda. Elas normalmente são inseridas na linha de montagem após o forno de refusão para monitorar os defeitos após as placas eletrônicas passarem pelo processo de soldagem.

As máquinas AXI exibem imagens em escala de cinza, que representam variações na forma e espessura de um objeto. Geometrias de alta densidade produzem uma imagem mais escura do que aquelas com menor densidade ou espessura. Portanto, é possível quantitativamente medir estas geometrias e desenvolver correlação entre aceitável ou inaceitável. Durante a inspeção, os raios-x emitidos a partir da fonte, passam através da placa eletrônica para um intensificador de imagem. Em seguida, as imagens são dirigidas, a partir do detector por meio de espelhos, para uma câmera de vídeo, onde as imagens digitalizadas são enviadas para um processador de imagem para aprimoramento, exibição e análise (Figura 7).

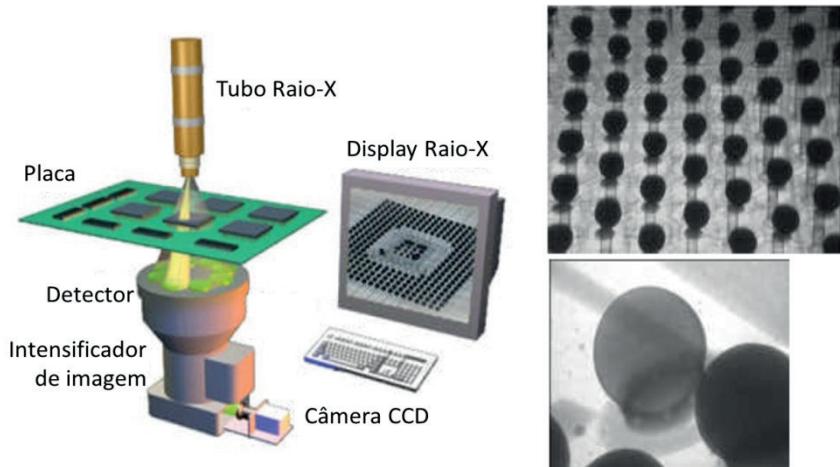


Figura 7 - Princípio de funcionamento de uma máquina de inspeção a raio-x (NICOLET, 2013)

Com base nos dados da imagem resultante, um algoritmo de computador pode determinar a forma exata do filete da junta de solda e detecção de vazios dentro da junta. É possível também calcular o volume de solda. Essas medidas indicam a qualidade da solda. A técnica pode também detectar pontes de solda que pode resultar em curtos-circuitos.

1.2.1.4 Inspeção de pasta de solda (SPI)

As máquinas de inspeção de pasta de solda, também conhecidas como SPI (*Solder Paste Inspection*), são sistemas de inspeção utilizados para inspecionar a placa após a inserção de pasta de solda. Os defeitos que podem ser detectados por uma máquina SPI relacionam-se ao volume, área e posicionamento da pasta de solda impressa sobre a placa eletrônica. Atualmente, duas técnicas principais de inspeção de pasta de solda são utilizadas pelas máquinas SPI, uma através da metodologia da triangulação a laser e outra baseada na metodologia de Moiré (Figura 8).

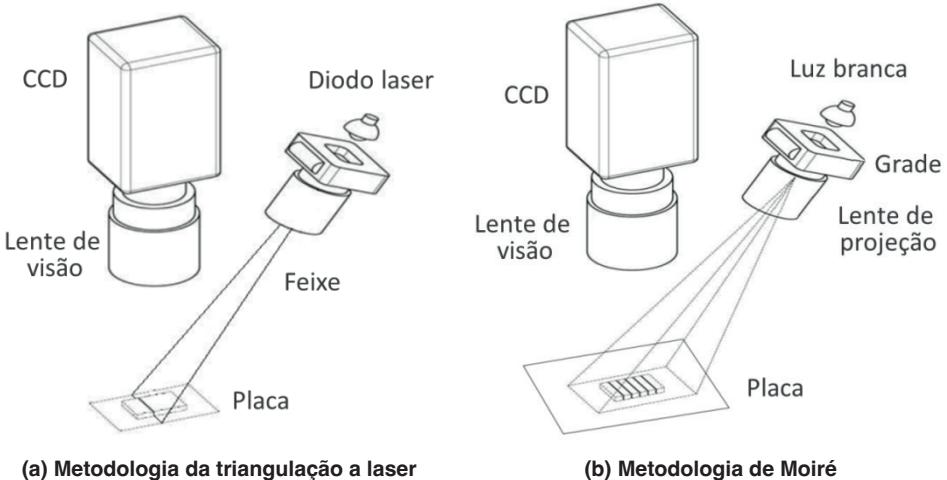


Figura 8 - Técnicas de inspeção de pasta de solda (PEALLAT, 2013)

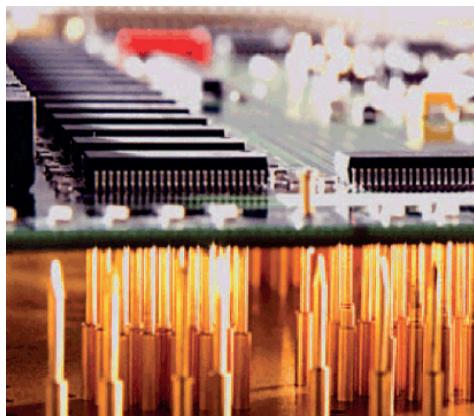
A tecnologia de triangulação a laser normalmente é combinada com uma imagem 2D. A altura da pasta de solda é dada pelo desvio do traço do laser e o formato da pasta de solda por sua vez é determinado pela imagem 2D. O método de levantamento por triangulação a laser pode detectar apenas a altura de um ponto sobre o depósito de solda, sendo incapaz de refletir a verdadeira altura da pasta de solda depositada sobre a placa. A topografia Moiré é um método de medição tridimensional por modulação de fase. Neste método particular as linhas são projetadas no objeto e moduladas por interferência de franjas e pelo movimento grades. Através deste método é possível de ser medida a altura e volume da pasta de solda.

1.2.2 Testes estruturais

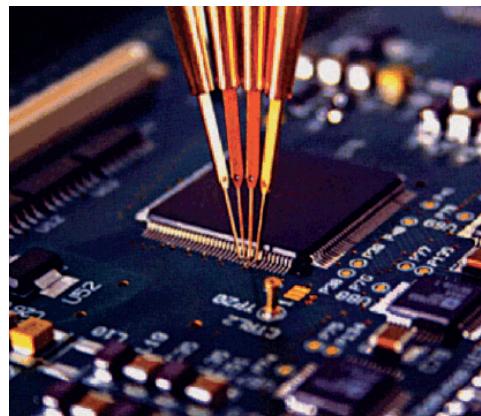
Na montagem de placas eletrônicas, os testes diferem da inspeção primeiramente pelo fato de utilizarem métodos elétricos no lugar de métodos ópticos. Outra grande diferença é que os testes são utilizados após o processo de soldagem ser concluído. Os testes estruturais focam no teste da estrutura física da placa, ou seja, na integridade das juntas e componentes. Os testes estruturais podem verificar a existência de circuitos abertos e curtos-circuitos, medir componentes individuais, detectar a presença e orientação de componentes e ainda fazer alguns testes funcionais mais simples.

Os testes elétricos tradicionais usam pontas de provas elétricas para verificar se a placa eletrônica foi montada corretamente. Estes testes podem ser realizados por um dispositivo formado por múltiplas pontas de provas, no qual os engenheiros de teste adotaram o termo “cama-de-pregos”. Neste dispositivo, cada ponta de prova é posicionada de modo que possa entrar em contato simultaneamente com os pontos de testes da placa

eletrônica (Figura 9a). Outra forma alternativa deste teste é através de um equipamento denominado *flying probe*, no qual utiliza pontas de provas flutuantes. Neste caso, o processo de teste é executado por pontas de provas que se deslocam em alta velocidade através da placa eletrônica fazendo o contato com os pontos de teste da placa eletrônica de forma sequencial (Figura 9b).



(a) Teste por “cama de pregos”



(b) Teste por *flying probe*

Figura 9 - Testes estruturais utilizando pontas de provas elétricas (PRESTOY, 2010)

Outro conceito utilizado para execução dos testes estruturais é pelo método chamado *Boundary Scan - JTAG*. Este método define um padrão de conexão entre o sistema de teste e a placa eletrônica na qual permite testar os componentes da placa eletrônica que possuem o padrão JTAG, utilizando para isto um módulo de teste e um software dedicado. A seguir são apresentados os diferentes tipos de testes estruturais.

1.2.2.1 Teste MDA (*Manufacturing Defects Analyzer*)

O teste MDA visa identificar os defeitos de montagem da placa eletrônica de uma maneira mais rápida e acessível em custo se comparado com o teste ICT. Os principais defeitos detectados pelo teste MDA são curtos, circuito abertos e defeitos em componentes analógicos passivos.

Esta metodologia de teste usa um dispositivo elétrico de cama-de-pregos ou *flying-prober* para acessar os pontos de testes da placa eletrônica e medir os sinais elétricos. Usando fonte de sinais programável e sensoriais, os componentes são isolados uns dos outros para permitir que eles sejam testados no circuito. Usando um padrão complexo de medições impedância, os testes MDA podem realizar ainda um teste global sem a aplicação de energia na placa eletrônica.

Os dados provenientes do software de desenvolvimento da placa eletrônica podem ser usados para criar um programa de teste para o equipamento MDA, as informações do diagrama elétrico (*netlist*), tipo, posição e valor dos componentes são suficientes para automaticamente gerar o programa de teste. No entanto, geralmente o programa de teste gerado automaticamente pelo software dos equipamentos MDA requer um refinamento e otimização.

1.2.2.2 Teste In-Circuit (ICT)

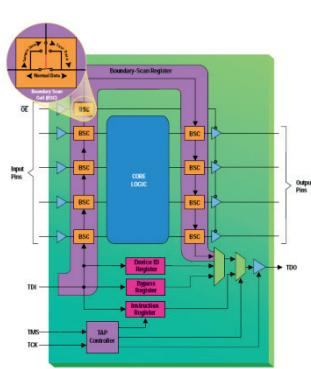
O teste ICT possui a mesma metodologia do teste MDA, diferindo apenas pelo fato deste executar os testes com a placa eletrônica alimentada por uma fonte de tensão. Desta forma, este tipo teste consegue uma maior cobertura de defeitos. O teste ICT pode verificar a existência de circuitos abertos e curto-circuitos, medir resistores e indutores individuais e detectar a presença e orientação de diodos, transistores e circuitos integrados. Também podem ser testadas lógicas digitais através da introdução de uma série de vetores de testes e pela verificação de saída. O teste ICT normalmente não pode determinar a polaridade de capacitores polarizados ou identificar a falta de capacitores de *by-pass*. No entanto, ele pode detectar capacitores em curto-circuito e indutores em aberto.

Atualmente, com a produção de placas eletrônicas complexas e densas, possivelmente com multi-camadas e com circuitos integrados do tipo BGA, os testes MDA e ICT torna-se ineficiente, pois o acesso aos pontos de testes é limitado. Uma vez que existem tamanhos mínimos e regras de espaçamento mínimas para inserir pontos de testes na placa eletrônica. Além disso, os pontos de teste podem introduzir interferência eléctrica indesejada, especialmente em sistemas de alta frequência.

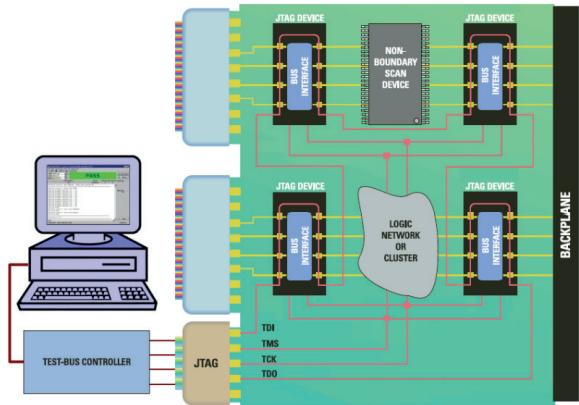
1.2.2.3 Teste Boundary Scan-JTAG (BST)

O *Boundary Scan* é uma técnica que permite controlar e observar os pinos dos circuitos integrados que possuem o padrão JTAG/IEEE 1149.1 (Figura 10a). O padrão *Boundary Scan*-JTAG fornece meios de testar conexões nos circuitos integrados em uma placa eletrônica montada sem usar pontas de prova físicas de teste, usando para isto uma porta de acesso ao teste. Dentre as vantagens do uso desta técnica destacam-se: execução de testes de conexão em encapsulamentos de componentes sem terminais aparente (BGA), plataforma de teste flexível e dispensa o uso de “cama de pregos”.

A arquitetura de teste proposta neste padrão consiste em uma porta de acesso (TAP - *Test Access Port*) e uma lógica de controle, que inclui a decodificação de instruções de teste e um conjunto de registradores, dentre os quais o registrador de deslocamento de periferia composto por células de memorização e varredura, conhecidas como células *Boundary Scan*. Cada uma destas células pode capturar dados em suas entradas, atualizar os dados sobre as saídas, passar dados à célula vizinha e ser transparente ao sistema.



(a) Arquitetura de um circuito integrado com padrão JTAG



(b) Estrutura necessária para o teste Boundary Scan

Figura 10 - Particularidades teste Boundary Scan-JTAG (adaptado de TEXAS INSTRUMENT, 1998)

Para que o teste *Boundary Scan-JTAG* ocorra é necessário que projeto da placa eletrônica seja adequado e que possua circuitos integrados que suportem esta tecnologia, e ainda, um controlador do barramento de teste e um software para configuração e execução do teste. (Figura 10b). O padrão de teste consiste em conectar componente em seu componente vizinho através dos pinos TDI (*Test Data In*) e TDO (*Test Data Out*), formando um caminho serial. Em função deste caminho ser serial, existe um sinal de sincronismo dedicado nas células *Boundary Scan* através do pino TCK (*Test Clock*). Um circuito adicional dedicado ao controle de teste pode ser ativado pelo pino TMS (*Test Mode Select*).

Através da tecnologia *Boundary Scan* é possível testar a conexão das trilhas ligadas aos circuitos integrados com padrão JTAG e realizar testes funcionais de componentes ou partes do circuito que estejam ligados a estes circuitos integrados. Podem ser realizados testes funcionais de natureza digital, como por exemplo: emular os protocolos, controlar e testar memórias, chaves, etc. Para a realização de testes funcionais analógicos faz-se necessário introduzir conversores A/D e D/A no circuito.

1.2.3 Testes funcionais (FT)

Os testes funcionais são usados para verificar a confiabilidade funcional da placa. Empregado sempre no final da linha, um teste funcional simula o ambiente operacional de um produto para verificar se o mesmo está operando corretamente. Os testes funcionais são os únicos testes que podem detectar um defeito em nível de sistema. No entanto, normalmente os testes funcionais não indicam o defeito de forma pontual, necessitando executar um diagnóstico posterior por um especialista para que se possa descobrir a causa do defeito.

Tipicamente a interface entre o teste funcional e a placa é feita através de conectores ou pontos de testes, onde é simulado o ambiente elétrico final em que a placa será usada. A placa eletrônica é alimentada e submetida a uma sequência de sinais. As respostas são monitoradas em pontos específicos para garantir a funcionalidade está correta.

A forma mais comum de teste funcional, conhecido como *hot mock-up*, simplesmente verifica se a placa eletrônica está funcionando corretamente. Os testes funcionais mais sofisticados envolvem a placa em uma gama completa de testes operacionais. Neste segundo caso, existe um software de teste no qual permite que os operadores da linha de produção possam realizar o teste funcional de forma automática através de um computador (Figura 11). Para isso, o software se comunica com instrumentos externos programáveis como multímetros digitais, placas de I/O, portas de comunicação, entre outros.

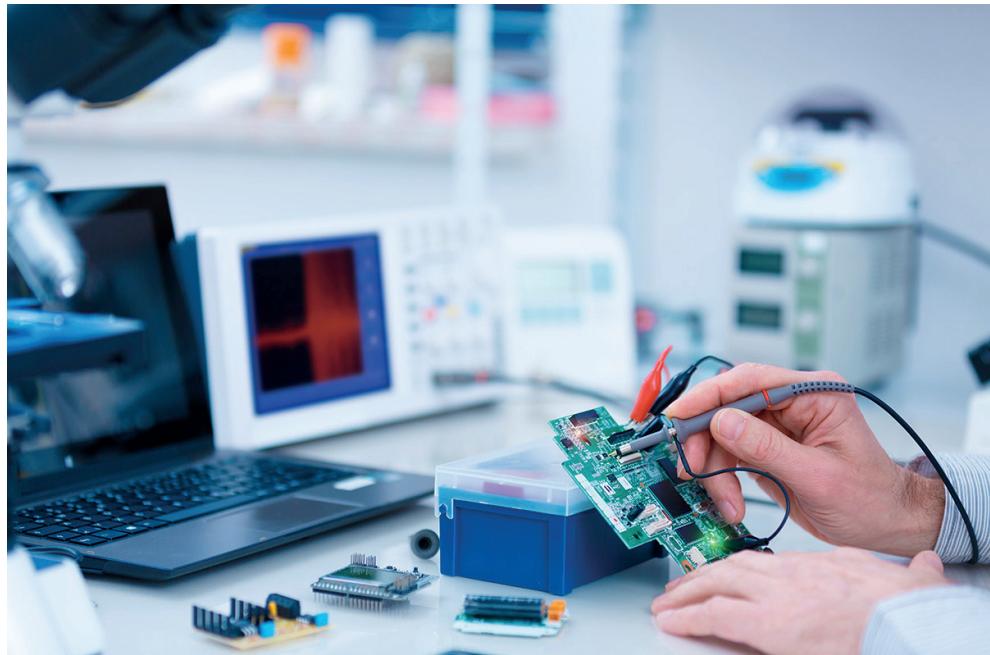


Figura 11 - Teste funcional de placa eletrônica (PETERSON, 2020)

Geralmente os testes funcionais não são flexíveis, sendo dedicados para cada modelo de placa. Em alguns casos, se os defeitos de montagem não forem anteriormente removidos, o teste funcional pode danificar o circuito. Porém, a principal dificuldade de implantar um teste funcional está na complexidade placa. Por fim, destaca-se que o teste funcional é mais eficiente na detecção de componentes danificados, falhas funcionais e falhas paramétricas.

1.3 ESTRATÉGIA DE INSPEÇÃO E TESTE

A cobertura de defeitos pode ser definida como “a razão de defeitos detectáveis pelo número total de defeitos”. Uma vez que não existe uma única técnica de inspeção e teste capaz de obter uma cobertura de 100% de todos os defeitos, torna-se necessário combinar racionalmente diferentes técnicas para garantir a qualidade da placa.

Cada uma das técnicas de inspeção e teste apresentadas possui características únicas de custo-benefício. A Tabela 1 apresenta uma qualificação das diferentes técnicas de inspeção e teste, baseada na sua capacidade de discernir defeitos. Cabe destacar que a qualificação poderá variar ligeiramente, dependendo das diferentes tecnologias, equipamentos e procedimentos usados.

Tabela 1 - Cobertura de defeitos das principais técnicas de inspeção e teste (VERMA, 2002)

	MVI	SPI	AOI	AXI	MDA	ICT	BST	FT
Curto	◆	◆	◆	✓	◆	◆	◆	◆
Ausência de solda	✗	◆	◆	✓	◆	◆	◆	◆
Confiabilidade da solda	✗	◆	◆	✓	✗	✗	✗	✗
Componente incorreto	✗	✗	✓	✗	✓	✓	◆	◆
Componente faltando	◆	✗	✓	✓	✓	✓	◆	◆
Componente danificado	✗	✗	✗	✗	◆	◆	◆	✓
Orientação incorreta do componente	◆	✗	✓	◆	✓	✓	◆	◆
Confiabilidade funcional	✗	✗	✗	✗	✗	✗	◆	✓

Legenda: ✗ Baixa ou nenhuma cobertura ◆ Média cobertura ✓ Alta cobertura	Suposições: 5000 nós, 25000 juntas de soldas, 80% de acesso pelo ICT e MDA, 10 componentes BGAs
--	---

A estratégia de inspeção e teste consiste em definir as técnicas que serão utilizadas para verificar a confiabilidade e funcionalidade do produto eletrônico produzido. Esta deve ser desenvolvida apresentando um balanço correto entre o investimento financeiro e o desempenho da inspeção e do teste em identificar os defeitos gerados no produto.

Até os anos 90, a melhor estratégia de inspeção e teste consistia em executar uma inspeção visual manual durante a montagem e em seguida, fazer o teste ICT e funcional no produto. Com isto, era possível detectar 100% dos defeitos em quase todas as placas eletrônicas produzidas. Atualmente, esta estratégia nem sempre é eficaz. As placas possuem um número significativamente maior de componentes e juntas de solda do que há alguns anos atrás. Um número maior de componentes normalmente significa um custo maior para cada placa eletrônica, resultando em maiores custos de WIP (estoque intermediário) e de refugos. Uma vez que o aumento da complexidade da placa eletrônica resulta normalmente em rendimentos mais baixos e maiores dificuldades no diagnóstico quando os defeitos ocorrem. Além disso, com a redução constante nas dimensões dos componentes, aumentam o desafio de soldá-los corretamente na placa eletrônica. Componentes como 01005 e *Ultra fine-pitch* são exemplos desta mesma categoria. Ao mesmo tempo, o acesso de 100% dos pontos de teste elétrico, no qual permitia o sucesso do teste ICT, ultimamente é muito difícil de ocorrer. O acesso visual das juntas de solda também está sendo reduzido, tal como as juntas dos componentes BGA. Ainda pode-se destacar que as pressões de mercado, o curto tempo para projetar o produto e configurar o processo e a redução dos recursos de manufatura a fim de reduzir custos, estão colocando os fabricantes de produtos eletrônicos em uma situação cada vez mais complicada.

Assim, para uma empresa se manter competitiva é necessário elaborar uma estratégia de inspeção e teste que aborda todas essas tendências. Os principais fatores que devem ser levados em consideração na elaboração de uma estratégia de inspeção e teste são:

- Projeto da placa eletrônica: características como: encapsulamentos de componentes, pontos de acesso, componentes *boundary-scan*, juntas ocultas (BGA), entre outros, influenciam muito na ocorrência de defeitos e na eficiência da técnica de inspeção ou teste e devem ser considerado.
- Espectro de defeitos: entender os diferentes tipos de defeitos, indicadores de processo e defeitos potenciais; possuir dados precisos sobre os níveis de defeitos e espectro defeito; ter conhecimento onde os defeitos são introduzidos no processo e onde eles podem ser detectados são fundamentais para a escolha da técnica de inspeção e teste.
- Cobertura de defeitos: a cobertura de defeitos da inspeção e do teste deve ser compatível com os principais defeitos que ocorrem na manufatura das placas eletrônicas. É importante possuir uma visão holística da estratégia de teste, tanto a partir de um ponto de vista de melhoria do processo, bem como a um ponto de vista de contenção defeito. Destaca-se que para uma ideal contenção de defeito, o sistema de inspeção e teste deve ser colocado logo após cada etapa de montagem.

- Rendimento: o rendimento da inspeção e do teste deve ser capaz de suprir o volume de produção da linha.
- Custo: para uma estratégia de teste econômica, deve ser considerado o custo de aquisição do equipamento, programação, operação e manutenção compatíveis com o retorno do investimento. Ressalta-se que quanto mais cedo for a captura defeitos no ciclo de vida do produto e no processo de fabricação menor será os custos da não qualidade.

Conclui-se que a formulação da estratégia de inspeção e teste eficaz depende de vários fatores, dentre os quais se sobressai às características do produto em questão. Como cada técnica de inspeção e teste possui níveis diferentes desempenho, a definição da melhor estratégia de inspeção e teste torna-se um problema com muitas dimensões de complexidade. Neste caso, uma abordagem moderna de análise deve ser adotada. Sem uma abordagem de análise quantitativa eficaz, não existir um número elevado de escolhas, e ainda, as características de sobreposição das diferentes técnicas de inspeção e teste tornarão processo de optimização da estratégia difícil e demorado, e provavelmente levarão a resultados questionáveis na melhor das hipóteses.

Neste trabalho a abordagem adotada para o desenvolvimento da estratégia de inspeção e teste será baseada na sugerida por Verma et al., 2000. Nesta abordagem, constrói-se um diagrama Pareto de defeito utilizando um modelo de previsão de defeitos. A partir destas informações, determinam-se as técnicas de inspeção e teste mais eficazes para capturar estes defeitos usando uma ferramenta de modelagem/simulação que contém a cobertura de defeito de cada técnica de inspeção e teste. Existem outros fatores podem ser incluídos neste modelo como: custo (programação, operação, investimento) e rendimento (tempo de depuração, análise e programação). A Figura 12 apresenta uma ilustração simplificada do modelo de desenvolvimento da estratégia de inspeção e teste adotado como base para este trabalho, no qual são mostrados os principais passos e as entradas e saídas.

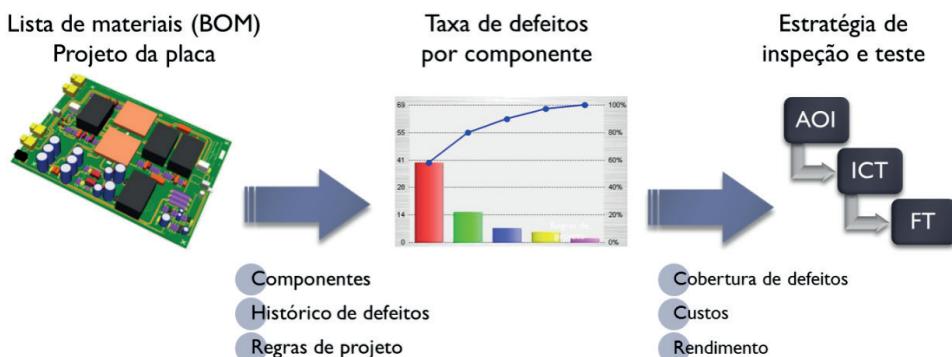


Figura 12 - Modelo de desenvolvimento da estratégia de inspeção e teste (Adaptado de VERMA et al., 2000)

A entrada principal para este modelo é o projeto da placa eletrônica, ou seja, a lista de materiais (BOM) e o projeto da placa. Os componentes da placa eletrônica são então classificados em categorias elétricas e físicas. Baseado em dados históricos, a qualidade dos componentes de entrada (defeitos elétricos) pode ser aproximado com a classificação elétrica; de forma semelhante, as taxas de defeitos de montagem (defeitos físicos) podem ser estimadas com a classificação física. A saída das classificações combinadas, elétricas e físicas, é o espectro de erro estimado e os níveis de defeitos com base na BOM. Em seguida, é analisado a violações de regras de projeto. Quando uma regra de projeto (DFM) é violada, o impacto do defeito da violação é considerado. Após essa análise, uma boa aproximação do espectro da taxa de defeito da placa eletrônica está disponível.

Com esta informação, o impacto do uso de diferentes estratégias de inspeção e teste pode ser modelado. Por exemplo, estimativas podem ser feitas do impacto do uso de apenas a inspeção MVI e teste funcional, ou inserido uma inspeção AOI com o teste ICT e funcional, ou ainda, uma inspeção AXI com o teste ICT e funcional. Com base nestas análises, a estratégia de inspeção e teste ideal pode ser determinada para uma placa eletrônica em particular. O modelo sugere ainda fornecer o rendimento e os custos de reparo e refugo estimados.

1.3.1 Padrões de avaliação a cobertura de defeitos

A avaliação da eficiência da estratégia de inspeção e teste pode ser feita principalmente pela cobertura de defeitos atingida. Recentemente vários padrões têm sido propostos para avaliar a cobertura de defeitos de uma estratégia de inspeção e teste, entre eles destacam-se: MPS, PPVS e PCOLA/SOQ. Estes modelos são comparáveis e diferem apenas em seu nível de abstração. Os mesmos descrevem como o universo de defeitos de uma placa eletrônica pode ser categorizado. O PCOLA/SOQ é o mais detalhado dos modelos, o qual apresenta oito grupos de defeitos. A Tabela 2 apresenta a discriminação dos defeitos contemplados por cada modelo.

Tabela 2 - Categorias de defeitos versus tipos de modelos (LOTZ et al., 2006)

MPS	PPVS	PCOLA/SOQ
Material	Value	Correct Live
Placement	Presence Polarity	Presence Alignment Orientation
Solder	Solder	Short Open Quality

Nota-se que o nível de representação de defeitos do modelo MPS é dividido dentro de uma hierarquia em outros níveis nos modelos PPVS e PCOLA/SOQ. É importante entender como os defeitos definidos no universo de defeitos correlacionam-se individualmente em cada modelo. Por exemplo, o defeito “Componente desalinhando” para o modelo MPS corresponde a categoria *Placement*, já para o modelo PPVS a categoria *Presence* enquanto que para o modelo PCOLA/SOQ para a categoria *Alignment*.

Todos estes modelos provem de um equivalente padrão para determinar a cobertura atingida pela estratégia de inspeção e teste. A Figura 13 mostra um exemplo de qualitativo de como o modelo PPVS analisa a cobertura de defeitos de uma estratégia de inspeção e teste que combina as seguintes técnicas AOI, ICT e FT.

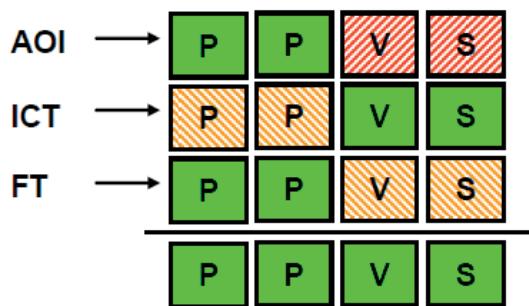


Figura 13 - Cobertura de defeitos avaliados pelo modelo PPVS (LOTZ et al., 2006)

Nota-se que neste exemplo o modelo PPVS avalia a estratégia de inspeção e teste é capaz de capturar todos os defeitos. Na prática os modelos avaliam as técnicas de inspeção e teste para cada tipo de componente existente na placa eletrônica, gerando um índice para categoria de defeito por componente e um índice geral da estratégia de inspeção e teste.

ALGORITMOS GENÉTICOS COMO FERRAMENTA PARA O PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE

A solução para um problema de planejamento automático clássico, no qual se enquadra o escopo deste o trabalho, é encontrar uma sequência de ações que, ao serem executadas em determinada ordem, permite transitar de um estado inicial para um objetivo. O programa que permite resolver essa classe de problemas é dito planejador.

Conforme mencionado no capítulo 1, existem inúmeros planejadores apresentados pela comunidade científica, bem como inúmeros métodos sob os quais os planejadores são implementados com o intuito de obter resultados cada vez mais satisfatórios. Dentre estes métodos destacam-se os Algoritmos Genéticos, no quais vários trabalhos abordando este tema foram executados apresentando sua eficácia.

Algoritmos Genéticos (AG) são algoritmos de busca baseados nos mecanismos de evolução natural e na genética. Criados inicialmente por John Holland em seu trabalho intitulado de *“Adaptation in Natural and Artificial Systems”* em 1975, os AG é parte da Computação Evolucionária, que é uma área em crescimento da IA.

O conceito básico consiste que os indivíduos mais aptos sobrevivem e geram descendentes com suas características hereditárias. Desta forma, uma população de possíveis soluções para o problema considerado evolui de acordo com operadores probabilísticos concebidos de forma similar à teoria biológica (cruzamento genético, mutações, sobrevivência dos mais aptos), de modo que há uma tendência de que os indivíduos mais aptos representem soluções cada vez melhores à medida que o processo evolutivo continua. A forma geral e simplificada de um AG é apresentada na Figura 14.

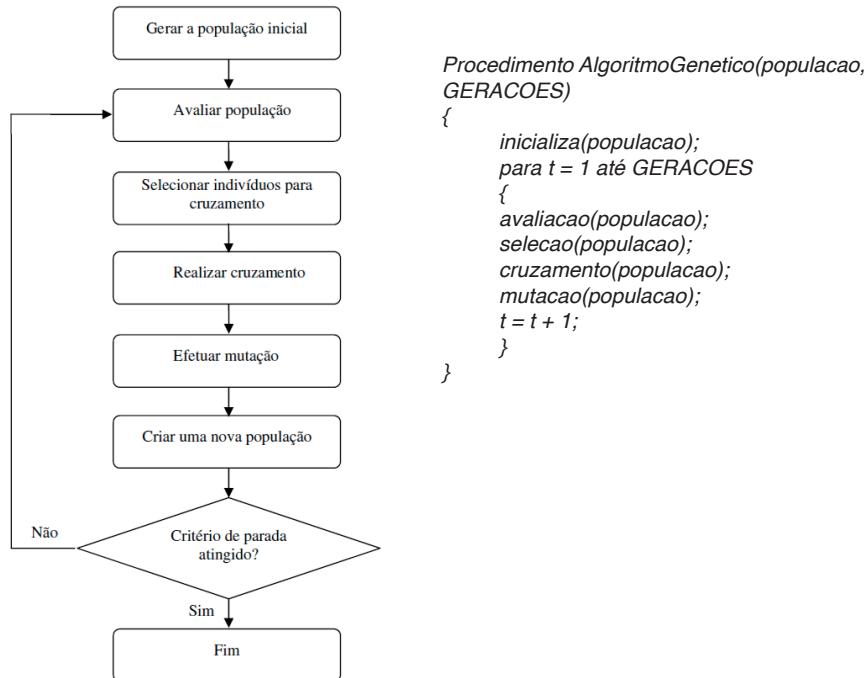


Figura 14 - Fluxograma e código principal básico do Algoritmo Genético

Basicamente, o que um AG faz é criar uma população de possíveis respostas para o problema a ser tratado para depois submetê-la ao processo de evolução, desta forma o AG é constituído pelas seguintes etapas:

- Inicialização: inicia-se com uma população aleatória de indivíduos, também chamados de cromossomos (candidatos à solução do problema);
- Avaliação: avalia-se a aptidão de cada indivíduo (função objetivo ou *fitness*) onde é feita uma análise para que se estabeleçam quão bem eles respondem ao problema proposto;
- Seleção: os indivíduos são selecionados para a reprodução, os métodos de seleção podem ser determinísticos ou probabilísticos;
- Cruzamento: características das soluções escolhidas são recombinadas, gerando novos indivíduos;
- Mutação: características dos indivíduos resultantes do processo de reprodução são alteradas, acrescentando assim variedade à população;
- Finalização: verifica se as condições de encerramento da evolução foram atingidas, retornando para a etapa de avaliação em caso negativo e encerrando a execução em caso positivo.

Portanto, os AG trabalham com uma população de soluções iniciais, chamadas cromossomos, que através de diversas operações vão sendo evoluídas até que se chegue a uma solução que melhor atenda a algum critério específico de avaliação. Para que isto ocorra, a cada geração os cromossomos são avaliados segundo uma função que mede o seu nível de aptidão, chamada também de função de *fitness*. Os cromossomos que tiverem o melhor *fitness* são selecionados para darem origem à próxima geração, através de operadores de busca como cruzamentos e mutações.

Os AG são particularmente aplicados em problemas complexos de otimização; problemas com diversos parâmetros ou características que precisam ser combinadas em busca da melhor solução; problemas com muitas restrições ou condições que não podem ser representadas matematicamente e problemas com grandes espaços de busca.

Dentre suas principais vantagens dos AG, destacam-se:

- São fáceis de serem implementados em computadores;
- Adaptam-se bem a computadores paralelos;
- São facilmente hibridizados com outras técnicas;
- Funcionam com parâmetros contínuos ou discretos;
- Não afetada por descontinuidades na função ou em suas derivadas;
- São bons para atacar problemas com espaços de busca intratavelmente grandes, que não podem ser resolvidos por técnicas tradicionais.

Nos itens a seguir serão descritos com mais detalhes cada uma das etapas do AG.

2.1 INICIALIZAÇÃO (CODIFICAÇÃO)

A inicialização básica de um AG consiste na formação de uma população inicial composta de indivíduos, sobre a qual serão aplicadas as ações dos passos subsequentes do processo. Os indivíduos são a unidade fundamental de um AG. É comum utilizar os termos cromossomo e mesmo genoma como um sinônimo para indivíduo. A população inicial é obtida na maioria das vezes de duas formas. Ou os indivíduos são gerados aleatoriamente ou através de uma heurística relacionada às características específicas do problema abordado. A população gerada não pode ser excessivamente pequena, pois terá pouca representatividade do espaço de busca e não pode ser excessivamente grande, uma vez que demora na convergência. Para melhorar a representatividade população inicial pode possuir indivíduos igualmente espaçados no espaço de busca.

Na geração da população, a escolha de representação para os indivíduos, também chamada de codificação, é uma etapa crítica para o desenvolvimento de um AG, visto que ela será a principal responsável para o desempenho do programa, ou seja, a codificação consiste em uma maneira de traduzir a informação do nosso problema em uma maneira viável de ser tratada pelo computador. As formas de codificação mais comuns são:

- Binário
- Binário codificando real
- Inteiro
- Real
- Vetores, listas e matrizes

A codificação binária é a mais simples e mais usada pelos praticantes da área dos AG. Isto se deve ao fato de que geralmente as variáveis do problema trabalhado podem ser representadas em números binários. Nesta representação, cada cromossomo é uma série de bits (genes) de valores 0 ou 1. O conceito representado por cada bit ou conjunto de bits é inerente ao problema. A Figura 15 mostra exemplos de cromossomos utilizando codificação binária.

Cromossomo A	Cromossomo B
1 0 1 1 0 0 1 1 1 1 0 0 1 0 0 1	1 1 1 1 0 1 1 0 1 1 1 0 0 1 1

Figura 15 - Exemplo de cromossomo na codificação binário

Entretanto, a codificação binária possui algumas desvantagens quando é aplicada à problemas de alta dimensionalidade e com alta precisão numérica. Isto ocorre pelo fato de quando existe um grande número de variáveis, obtém-se longas cadeias de bits que podem fazer o algoritmo convergir vagarosamente, neste caso é recomendado utilizar outro tipo de codificação, tal como a codificação real.

Na codificação real, o cromossomo é representado por um vetor de números reais, no qual cada posição do vetor (gene) contém o valor de uma variável do problema. A Figura 16 mostra um cromossomo utilizando codificação real.

1,29	0,34	1,04	1,45	0,89	0,09	1,03	1,93	1,12	1,33	1,01	0,08	0,11
------	------	------	------	------	------	------	------	------	------	------	------	------

Figura 16 - Exemplo de cromossomo na codificação real

2.2 AVALIAÇÃO (FUNÇÃO OBJETIVO OU *FITNESS*)

Nesta etapa é realizado o primeiro passo da seleção, cada indivíduo da população é avaliado para que seja determinado o seu grau de adaptação. A função de avaliação também é chamada de função objetivo ou função *fitness* em um grande número de trabalhos. Na verdade, a função de avaliação trabalha em conjunto com a escolha da codificação.

A função de avaliação é o ponto do algoritmo mais dependente do problema em si. É necessário aqui que o AG seja capaz de responder sobre quão boa uma resposta é para o problema proposto. A função objetivo toma como entrada um cromossomo e retorna um número, ou uma lista de números, que representam o desempenho do cromossomo com

relação a como o mesmo auxilia na resolução do problema. Um exemplo de função objetivo é apresentado a seguir. Neste caso, deseja-se buscar do valor máximo da função:

$$f(x) = x^3 - x^2 - 10x \quad (1)$$

O valor de retorno da função *fitness* é dado por:

$$fo(C) = f(d(C)) \quad (2)$$

Onde $fo(C)$ é a função *fitness* aplicada sobre o cromossomo C; $d(C)$ a função que decodifica os genes do cromossomo em um valor x.

Se $C = [0001010100101001]$ e $d(x)$ é uma função que decodifica números binários em reais, então: $d(C) = 17,2337$; $f(d(C)) = 361,131$. Logo, $fo(C) = 361,131$.

Várias formas de avaliação são utilizadas atualmente, em casos de otimização de funções matemáticas, o próprio valor de retorno destas tende a ser escolhido, e em problemas com muitas restrições, funções baseadas em penalidades são mais comuns. Em muitos casos, calcular com exatidão completa o grau de adaptação dos indivíduos pode ser uma tarefa complexa, e se levarmos em conta que esta operação é massivamente repetida ao longo do processo de evolução, seu custo pode ser consideravelmente alto. Em tais situações é comum o uso de funções não determinísticas, que não avaliam a totalidade das características do indivíduo, operando apenas sobre uma amostragem destas.

2.3 SELEÇÃO

A função de seleção em um AG é escolher os elementos da população que participarão do processo de reprodução, isto é, selecionar os pais dos indivíduos que estarão presentes na nova população. Esta escolha deve ser feita de tal forma que os membros da população mais adaptados, tenham maior chance de reprodução, isto é, àqueles que apresentam um valor da função objetivo mais elevado.

Caso não houvesse o processo de seleção, além do AG perder a grande parte do caráter evolutivo, o mesmo seria um processo ineficiente, similar a uma busca aleatória. Existem várias formas para efetuar a seleção, porém não existe um senso comum em relação a qual método é melhor para determinado tipo de problema, isto ainda é uma questão aberta em AG (MITCHELL, 1999). Nos itens a seguir são apresentados os principais métodos de seleção.

2.3.1 Seleção por torneio

Neste método são aleatoriamente escolhidos grupos de cromossomos de tamanho n , com probabilidade de escolha igual. O cromossomo com maior valor na função *fitness* é selecionado para gerar descendentes. Os valores comumente utilizados são de $n = 2$ ou $n = 3$.

2.3.2 Seleção uniforme

Neste método todos os indivíduos possuem a mesma probabilidade de serem selecionados. Obviamente, esta forma de seleção possui uma probabilidade muito remota de causar uma melhora da população sobre a qual atua.

2.3.3 Seleção da roleta

É o método mais utilizado, cujo objetivo é selecionar indivíduos aleatoriamente, proporcionando mais chances de reprodução aos indivíduos mais aptos da população. O método de seleção da roleta funciona da seguinte forma:

- calcula-se o somatório da adequação da população (total);
- sorteia-se um valor aleatório i tal que pertence ao intervalo $[0; \text{total}]$;
- seleciona-se o indivíduo x tal que a ele corresponda a faixa do somatório onde i se localiza;

A Figura 17 mostra um exemplo de seleção aplicando o método da roleta

CROMOSSOMO	1	2	3	4	5	6	7	8	9	10
APTIDÃO	8	2	17	7	2	12	11	7	3	7
$\sum A_i$	8	10	27	34	36	48	59	66	69	76

Rodando a roleta:

NÚMERO ALEATÓRIO	23	49	76	13	1	27	57
CROMOSSOMA SELECIONADO	3	7	10	3	1	3	7

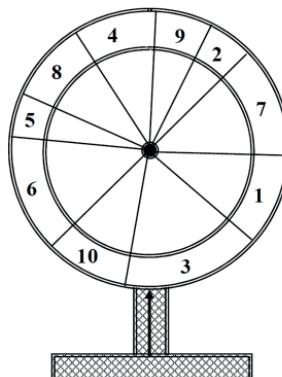


Figura 17 - Método da roleta usado para seleção em AG (SOUZA, 2013)

2.3.4 Seleção por ranking

Este método evita a convergência prematura e a dominância de “super indivíduos” que possuem um valor alto de aptidão em relação à média da população. Seu princípio consiste em:

- ordenar todos os elementos de acordo com a sua função objetivo;
- usar este *ranking* como base da seleção;
- não usar diretamente o valor da função objetivo.

Destaca-se que o passo de ordenação é extremamente oneroso em termos de tempo. Uma vez estabelecido o *ranking*, deve-se fazer o seu mapeamento para uma função *fitness*. Feito o mapeamento, emprega-se qualquer outro método visto anteriormente.

2.4 CRUZAMENTO (RECOMBINAÇÃO)

O cruzamento é o operador responsável pela recombinação de características dos pais durante a reprodução, permitindo que as próximas gerações herdem essas características. O cruzamento cria novos cromossomos, os quais são chamados de descendentes, para a população através da recombinação de partes diferentes de cromossomos-pai escolhidos através do método de seleção. Diferentes operadores de cruzamento têm sido apresentados na literatura, a escolha de qual aplicar é dependente principalmente do tipo de codificação escolhida. Os itens a seguir apresentam algumas técnicas de cruzamento para geração de novos cromossomos.

2.4.1 Cruzamento em um ponto

O cruzamento em um ponto consiste em dividir os cromossomos selecionados num ponto de sua cadeia, onde este ponto é escolhido aleatoriamente. Após isso, copiamos uma parte dos cromossomos de cada pai, para gerar os cromossomos dos novos filhos. É comum neste operador de cruzamento, os pais gerarem dois novos filhos, mas pode-se criar qualquer quantidade de filhos, desde que, o número de alelos permita o número desejado de combinações diferentes. A Figura 18 a seguir demonstra um exemplo de cruzamento de um ponto para codificação binária.

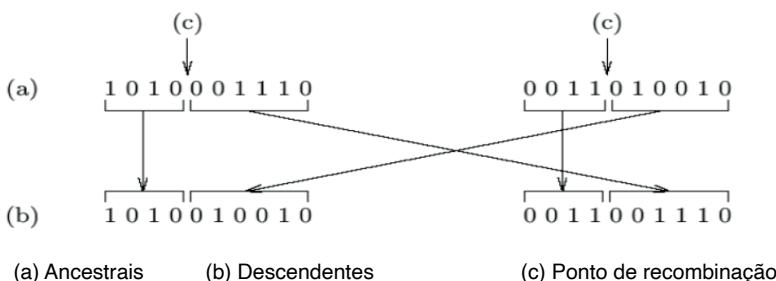


Figura 18 - Cruzamento de um ponto (STEMMER, 2013)

2.4.2 Cruzamento multipontos

Neste operador os cromossomos são vistos como anéis com início e fim unidos. Escolhem-se dois pontos de ruptura do anel e o trecho entre estes pontos é substituído. Padrões são rompidos proporcionalmente ao seu comprimento de definição. O princípio do operador de cruzamento multiponto é mostrado na Figura 19.

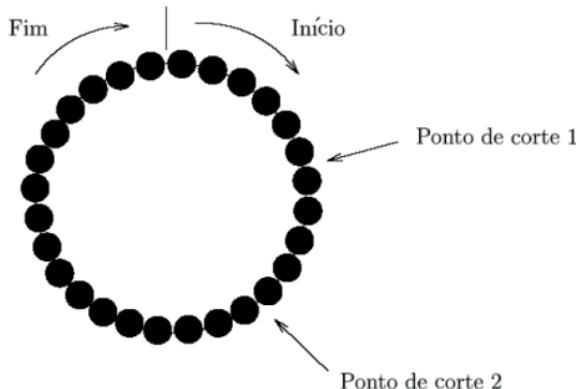


Figura 19 - Técnica de cruzamento multipontos (STEMMER, 2013)

2.4.3 Cruzamento Uniforme

Neste operador cada gene dos descendentes é criado copiando o gene correspondente de um dos pais conforme uma máscara gerada aleatoriamente. Onde houver um 1 na máscara, o gene é copiado do ancestral 1, e onde houver um 0, o gene é copiado do ancestral 2. Para gerar o segundo descendente, os ancestrais são trocados de posição. A Figura 18 a seguir demonstra um exemplo de cruzamento uniforme para codificação binária.

<i>Máscara de recombinação</i>	1 0 0 1 0 1 1 1 0 0
<i>Ancestral 1</i>	1 0 1 0 0 0 1 1 1 0
<i>Descendente</i>	1 1 0 0 0 0 1 1 1 1
<i>Ancestral 2</i>	0 1 0 1 0 1 0 0 1 1

Figura 20 - Cruzamento uniforme (STEMMER, 2013)

2.5 MUTAÇÃO

A mutação é aplicada a cada descendente após o cruzamento. Ela altera aleatoriamente cada gene com uma pequena probabilidade de mutação (em geral da ordem de 0,001). No caso mais simples, ela implica na simples inversão de um bit (para codificação binária). A mutação é tradicionalmente vista como menos importante na evolução do que o cruzamento. A ideia intuitiva por trás do operador de mutação é criar uma variabilidade extra na população, mas sem destruir o progresso já obtido com a busca. Desta forma, para que a mutação não prejudique os resultados até então obtidos, uma pequena taxa de mutação é geralmente aplicada. Como no caso dos operadores de cruzamento, existem vários tipos de operadores de mutação, para a codificação binária o operador mais usado é o da inversão, enquanto que para codificação real os operadores mais utilizados são o uniforme e o gaussiano, mas havendo uma gama de outros operadores na literatura. A seguir são apresentados mais detalhes sobre alguns destes operadores.

2.5.1 Mutação por inversão

É o operador de mutação mais fácil de trabalhar e o mais comumente empregado, pode-se ser aplicado em qualquer forma de codificação binária dos cromossomos. Nesta técnica seleciona-se aleatoriamente um gene do cromossomo e inverte seu valor, como mostrado na Figura 21. Uma variação é a seleção e inversão dos valores de vários genes do cromossomo.

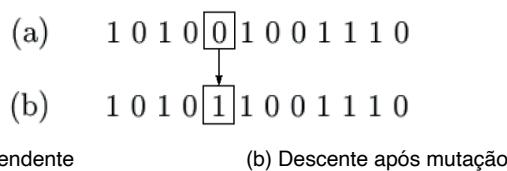


Figura 21 - Mutação por inversão para codificação binária (STEMMER, 2013)

2.5.2 Mutação Uniforme

Este operador aplica uma simples substituição de um gene por um número aleatório, dentro do intervalo $[V_{\min}, V_{\max}]$, onde V_{\min} e V_{\max} representam o limite do intervalo permitido para o gene descendente. O número aleatório é gerado com base na distribuição uniforme.

2.5.3 Mutação Gaussiana

No caso de problemas com codificação em ponto flutuante, o operador de mutação mais popular é a mutação gaussiana. Este operador é uma variação da mutação uniforme, onde substitui um gene por um número aleatório de uma distribuição normal, dada pela equação:

$$C_i = \begin{cases} N(p_i, \sigma) & , se\ i = j \\ p_i & , caso\ contrário \end{cases} \quad (3)$$

onde $N(p_i, \sigma)$ é a distribuição normal com media p_i e desvio padrão σ . Pode-se diminuir o valor de σ , à medida que aumenta a número de gerações.

2.5.4 Mutação *Creep*

Este operador de mutação adiciona um pequeno número aleatório ao valor atual do parâmetro armazenado no cromossomo ou multiplica valor atual por número próximo de um. Trata-se de um operador menos destrutivo que os anteriores, sendo aplicado para explorar localmente o espaço de busca. Neste operador pode ser aplicadas taxas de mutação um pouco mais alta.

2.6 FINALIZAÇÃO

A finalização não envolve o uso de nenhum operador genético, ela simplesmente é composta de um teste que dá fim ao processo de evolução, caso o AG tenha chegado a algum ponto pré-estabelecido de parada. Os critérios para a parada podem ser vários, como o número de gerações já criadas, um valor ótimo alcançado pela função *fitness* (quando esse valor é conhecido) ou o grau de convergência da atual população.

Entende-se por convergência o grau de proximidade dos valores da avaliação de cada indivíduo da população. Se o AG foi implementado corretamente, a aptidão da população em geral deve crescer até um valor ótimo global. Diz-se que um gene convergiu quando todos os genes que a compõem convergiram.

2.7 ALGORITMOS GENÉTICOS MULTI-OBJETIVOS

Muitos problemas do mundo real envolve uma coleção de objetivos a serem minimizados ou maximizados. Neste caso, diz que a função de avaliação (objetivo) envolve uma otimização de multi-objetivo, ou seja, existe um vetor de funções de avaliações:

$$f(x) = \{f_1(x), f_2(x), f_3(x), \dots, f_x(x)\} \quad (4)$$

A otimização com múltiplos objetivos pode levar a múltiplas soluções, sendo que na maioria das vezes nenhuma delas é melhor do que as demais com respeito a todos os objetivos. Na avaliação com múltiplos objetivos, podem existir objetivos conflitantes, de forma que otimizar uma função pode afetar as outras funções. Um exemplo prático de objetivos conflitantes são preço e desempenho na compra de equipamentos. Os equipamentos de maior custo são usualmente os de melhor desempenho e vice-versa. Assim, em uma compra devem ser considerados vários modelos com diversos valores nos

objetivos de preço e desempenho. Se ambos os objetivos possuem a mesma importância, não há como afirmar, por exemplo, que certa redução do preço compensa certa perda de desempenho.

Normalmente neste caso emprega-se o conceito de dominância de Pareto para comparar duas soluções factíveis do problema. Esse conceito foi formulado por Vilfredo Barreto no século XIX, matemático que deu início as pesquisas envolvendo otimização multi-objetivos. Dadas duas soluções x e y , diz-se que x domina a y (denotado como $x \leq y$) se x é pelo menos igual a y em todos os aspectos e estritamente melhor em pelo menos um desses aspectos.

Assim para o exemplo de compra de equipamentos, existe um conjunto de soluções que possuem vantagens em desempenho, mas que não são melhores em custo e vice-versa. Ou seja, existe um conjunto de alternativas ótimas que são não-dominadas entre si nos objetivos custo e desempenho. O conjunto de soluções não-dominadas é chamado de conjunto Pareto-ótimo, o qual representa as soluções ótimas do problema. A fronteira de Pareto é o conjunto de valores das funções objetivo das soluções do conjunto Pareto-ótimo. A Figura 22 mostra os valores de preço e desempenho de diferentes alternativas para o exemplo mencionado.

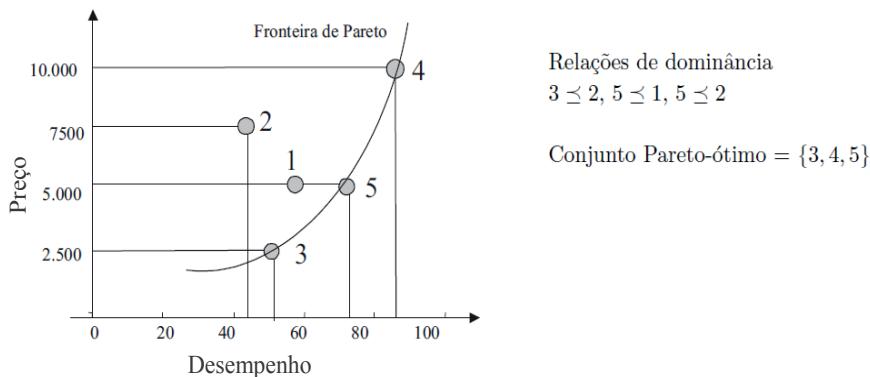


Figura 22 - Exemplo de relação de dominância entre as soluções, o conjunto Pareto-ótimo e a fronteira de Pareto (TICONA e DELBÉM, 2008)

Para problemas de otimização multi-objetivo existem duas metas importantes:

1. Encontrar um conjunto de soluções o mais próximo possível da fronteira de Pareto.
2. Encontrar um conjunto de soluções com a maior diversidade possível

A primeira meta é comum para qualquer processo de otimização. Soluções muito distantes da fronteira de Pareto não são desejáveis. Porém, encontrar a maior diversidade dentro das soluções é uma meta específica para otimização multi-objetivo. A Figura 23a apresenta uma boa distribuição de soluções na fronteira de Pareto, entanto na Figura 23b as soluções estão distribuídas apenas em algumas regiões.

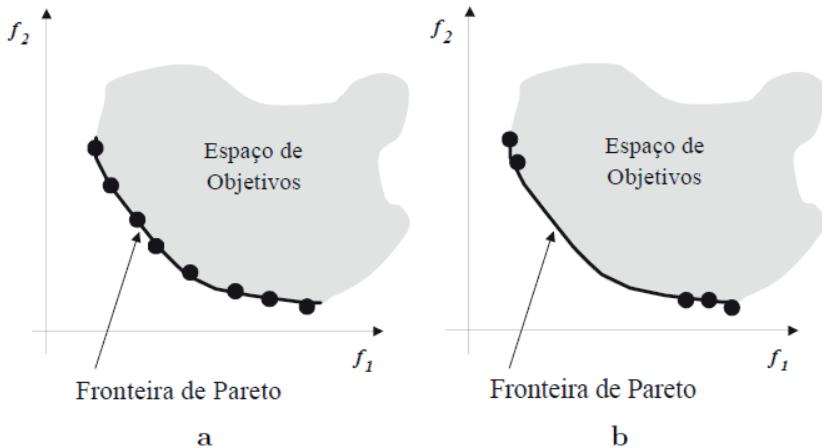


Figura 23 - Distribuição de soluções na Fronteira de Pareto (TICONA, 2003)

Portanto, a diferença fundamental dos Algoritmos Genéticos Multi-Objetivos (AGMO) em relação aos Algoritmos Genéticos tradicionais é o operador de seleção, dado que a comparação entre duas soluções deve realizar-se conforme o conceito de dominância de Pareto. (fronteira eficiente), os AGMO têm se destacado pela habilidade de encontrar uma boa aproximação da solução exata. Por esse motivo, um grande número de algoritmos tem sido proposto. A Tabela 3 lista os principais modelos de AGMO.

Tabela 3 - Diferentes modelos de Algoritmos Genéticos Multi-Objetivos (TICONA, 2003)

Sigla	Nome do modelo
VEGA	<i>Vector Evaluated Genetic Algorithm</i>
WBGA	<i>Weight Based Genetic Algorithm</i>
MOGA	<i>Multiple Objective Genetic Algorithm</i>
NSGA	<i>Non-Dominated Sorting Genetic Algorithm</i>
NPGA	<i>Niched-Pareto Genetic Algorithm</i>
PPES	<i>Predator-Prey Evolution Strategy</i>
REMOEA	<i>Rudolph's Elitist Multi-Objective Evolutionary Algorithm</i>
NSGA-II	<i>Elitist Non-Dominated Sorting Genetic Algorithm</i>
SPEA, SPEA2	<i>Strength Pareto Evolutionary Algorithm 1 e 2</i>
TGA	<i>Thermodynamical Genetic Algorithm</i>
PAES	<i>Pareto-Archived Evolutionary Strategy</i>
MOMGA-I, MOMGAI	<i>Multi-Objective Messy Genetic Algorithm</i>
Micro-GA	<i>Multi-Objective Micro-Genetic Algorithm</i>
PESA-I, PESA-II	<i>Pareto Envelope-Based Selection Algorithm</i>

O item a seguir apresenta com maiores detalhes o NSGA-II, uma vez que é um algoritmo que possui grande aceitabilidade pela comunidade científica por convergir rapidamente e gerar uma distribuição de soluções mais uniforme para maioria dos problemas. O NSGA-II foi o algoritmo utilizado neste trabalho para resolução do problema de planejamento da inspeção.

2.7.1 NSGA-II: Non-dominated Sorting Genetic Algorithm

Deb et al., 2002 propuseram o algoritmo NSGA-II levando em conta a necessidade de diminuir a complexidade computacional na classificação não-dominada, introduzir o elitismo e eliminar a subjetividade na atribuição do parâmetro de compartilhamento. O NSGA-II utiliza o conceito de níveis, e *ranking* na definição das fronteiras de Pareto. Tal procedimento é ilustrado na Figura 24.

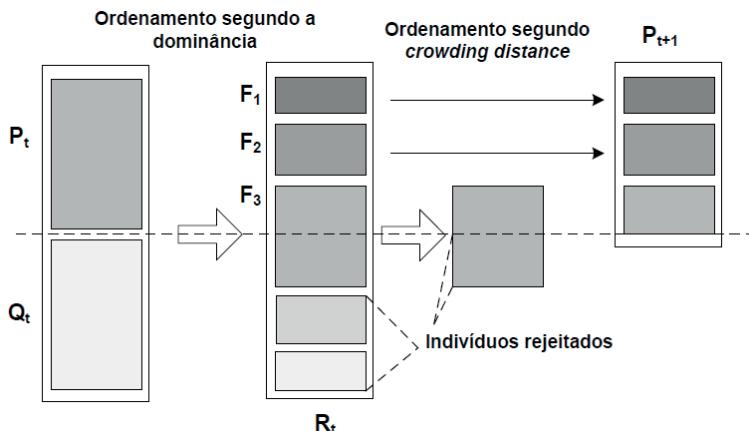


Figura 24 - Algoritmo NSGA-II (Adaptado de DEB et al., 2002)

O procedimento do método NSGA-II consiste em gerar aleatoriamente uma população inicial P_0 de dimensão N e ordená-la em diferentes níveis (fronteiras) de dominância. A primeira fronteira definida é não-dominada e a segunda fronteira somente é dominada pelos indivíduos da primeira fronteira, e assim sucessivamente. A cada indivíduo de cada fronteira é designado um valor de *ranking* com base na fronteira a que ele pertence. Aos indivíduos da primeira fronteira é dado um valor de *ranking* igual a 1, e aos indivíduos da segunda fronteira é atribuído um valor de *ranking* igual a 2 e assim por diante. Deseja-se a minimização do *ranking* (menores valores de *ranking* estão mais próximos da fronteira).

Uma segunda contribuição do algoritmo foi a proposta da técnica *crowding distance* (distância de multidão). A *crowding distance* é uma medida de quão próximo um indivíduo está de seus vizinhos (Figura 25). Quanto menos vizinhos próximos, melhor vai ser a avaliação dessa solução. Pois, na frente ideal as soluções encontram-se bem distribuídas pelo espaço de busca.

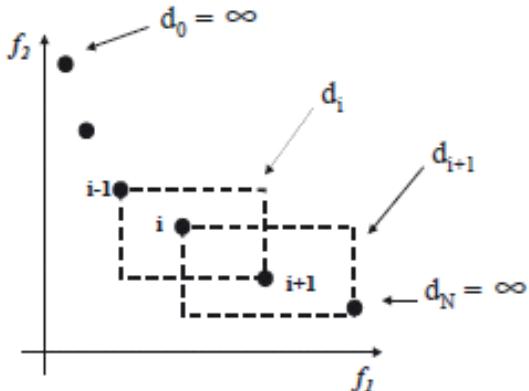


Figura 25 - Cálculo do operador ***crowding distance*** do algoritmo NSGA-II (DEB et al., 2002)

A partir daí o algoritmo agem por meio dos operadores genéticos, os pais são selecionados da população usando a seleção do torneio binário com base na classificação (*ranking*) e no operador *crowding distance*. Um indivíduo é selecionado se o ranking é menor do que o outro ou se a *crowding distance* é maior do que a outro, caso ambos os indivíduos obtiveram o mesmo *ranking*. A população selecionada gera filhos através de operadores de cruzamento e mutação formando uma segunda população Q_0 , também de tamanho N. As duas populações são combinadas formando terceira população R_0 de tamanho $2N$. Essa população é ordenada usando novamente usando o operador de dominância. Então, uma população P_1 é povoada com frentes de Pareto geradas na população R_0 usando também o operador *crowding distance*. Essa população P_1 vai ser usada como população inicial na próxima geração e o mecanismo continua até atingir um critério de parada.

2.8 DISCUSSÕES DE IMPLEMENTAÇÃO

Os AG possuem aplicabilidade em diversas áreas do conhecimento, merecendo uma maior atenção com o decorrer do tempo, principalmente, pela rápida evolução dos computadores, que tornarão as aplicações da técnica cada vez mais viáveis. Dentre os principais fatores que tem feito o AG uma técnica bem sucedida, pode-se destacar a simplicidade das operações e a facilidade de implementação, eficácia na busca da região onde provavelmente encontra-se o máximo ou mínimo global e um bom desempenho em sua execução. No entanto, para que a aplicação de um AG seja bem sucedida algumas decisões críticas devem ser levadas em consideração durante sua implementação, nas quais se destacam:

- Populações de tamanho fixo ou variável?
- Tamanho da população?
- Tipo de codificação: binária ou real?

- Cromossomos de tamanho fixo ou variável?
- Número de gerações?
- Representar toda ou parte da solução?
- Método de seleção?
- Somente cruzamento, somente mutação, ou ambos?
- Tipo de operador de cruzamento?
- Tipo de operador de mutação?
- Taxa de mutação?
- Qual critério de parada?

Ressalta-se caso estiver tratando de problemas específicos, é possível a utilização de algoritmos híbridos, que misturam as técnicas dos AGs vista neste capítulo com os métodos de otimização tradicionais.

APLICATIVO PARA O PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÕES E TESTES NO PROCESSO DE MONTAGEM DE PLACAS ELETRÔNICAS

O problema do planejamento da estratégia de inspeção e teste no processo de montagem de placas eletrônicas trata-se de um problema de otimização multi-objetivos, com objetivos conflitantes. Para determinar a melhor estratégia de inspeção e teste de uma determinada placa eletrônica é necessário maximizar a cobertura de defeitos e minimizar os custos (Figura 26). Assim sendo, este trabalho aplica o AGMO a fim de identificar os subconjuntos que otimizam os custos e a cobertura de defeitos de acordo com as combinações entre diferentes sistemas de inspeções e testes. O procedimento do NSGA-II como modelo de AGMO será a ferramenta principal para a seleção sistemas de inspeções e testes para uma placa eletrônica específica.

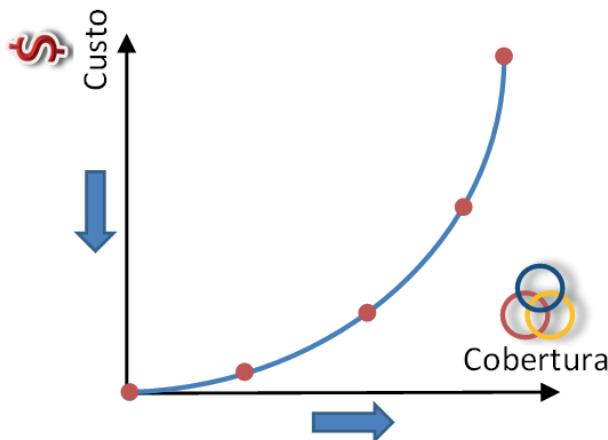


Figura 26 - Planejamento das inspeções e testes: Maximizar Cobertura e Minimizar Custos

Neste capítulo pretende-se detalhar o desenvolvimento de um aplicativo, baseado em AGMO, para o planejamento automático das inspeções e dos testes, com intuito de auxiliar na tomada de decisão no planejamento da qualidade na montagem de placas eletrônicas. O aplicativo foi desenvolvido utilizando como plataforma o software Microsoft Excel em conjunto com o componente SolveXL, o qual é uma ferramenta dedicada para AG para ser utilizada no Microsoft Excel. Nos itens a seguir é apresentado detalhes do aplicativo desenvolvido, assim como é formulada matematicamente a heurística proposta para a construção das funções objetivo e as demais etapas correlacionadas ao AG.

3.1 ESTRUTURAÇÃO DO APLICATIVO

Para a criação do planejador automático, intitulado de GA TestStrategy, foram desenvolvidas três planilhas no software Microsoft Excel, sendo que estas planilhas estão todas vinculadas entre si através de fórmulas matemáticas que calculam as funções objetivo à medida que os cromossomos (indivíduos) vão sendo gerados pelas etapas do NSGA-II, as quais são gerenciadas pelo componente SolveXL.

3.1.1 Planilhas

O aplicativo desenvolvido possui uma planilha principal onde são visualizadas as informações de configuração, o status da execução do AG, as estratégias de inspeção e teste e o gráfico resultante. Maiores detalhes desta planilha principal é mostrada na Figura 27, a qual está dividida em três partes:

1. Configurações e status: nesta parte da planilha existem campos onde são configuradas as informações referentes à placa eletrônica e ao custo. Além disso, são calculados e visualizados os resultados instantâneos do custo e da cobertura de defeito à medida que o sistema de inspeção ou teste é selecionado através da configuração de cada cromossomo.
2. Gráfico: um gráfico de custo versus cobertura de defeitos visualizando os pontos otimizados (Pareto-ótimo) e a Fronteira de Pareto é atualizado todas as vezes que o AG for executado através do componente SolveXL.
3. Resultados: nesta parte da planilha são visualizadas as diferentes estratégias de inspeção e teste mais otimizadas em relação a custo mínimo e cobertura máxima. Estas informações são atualizadas todas as vezes que o AG for executado.

Existem ainda mais duas planilhas auxiliares: uma para configuração e cálculo da função custo (seção 4.2.3.1) e outra para configuração e cálculo da função cobertura de defeitos e configuração dos componentes da placa eletrônica na qual se deseja executar o planejamento das inspeções e testes (seção 4.2.3.2).

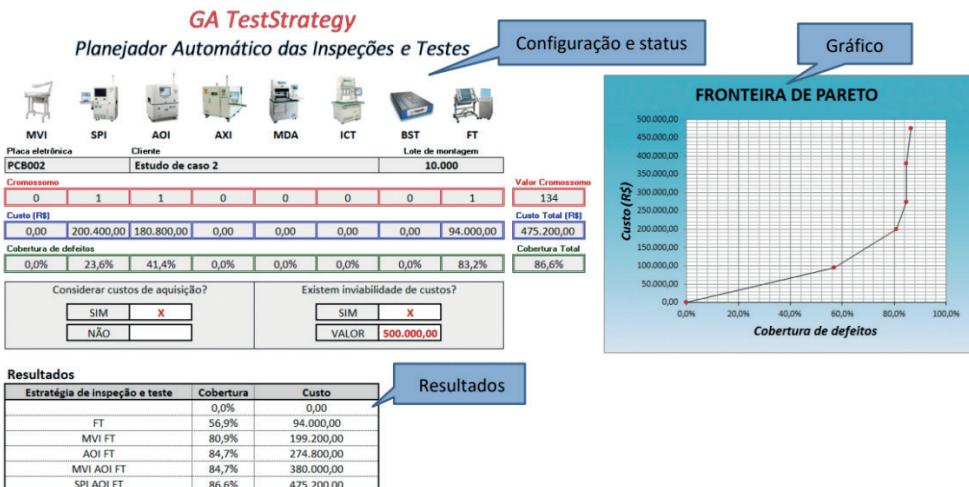


Figura 27 - Planilha principal do aplicativo planejador automático das inspeções e testes

3.1.2 Componente SolveXL

O componente SolveXL é responsável pela configuração e execução do AGMO, através deste componente é possível definir:

- Tamanho da população;
- Número de gerações;
- Tipo de algoritmo genético;
- Operador de seleção;
- Operador de cruzamento;
- Taxa de cruzamento;
- Operador de mutação e
- Taxa de mutação.

No capítulo 5 são apresentados os tipos e os valores destes parâmetros que foram empregados para este trabalho.

3.2 ESTRUTURAÇÃO DO ALGORITMO GENÉTICO

Conforme mencionado, utilizou-se para a otimização multi-objetivos o algoritmo NSGA-II, o qual se baseia na teoria de Pareto. O SolveXL foi o componente principal para implementação do AG no planejador automático das inspeções e testes. A Figura 28 mostra as janelas para definir o tipo de algoritmo.

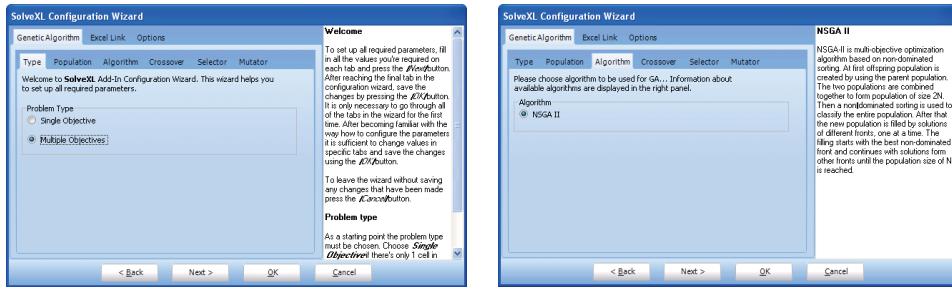


Figura 28 - Definição do tipo de algoritmo

Os indivíduos das populações são iniciados aleatoriamente e representam distintos subconjuntos de sistemas de inspeção e teste, por meio da codificação binária. Cada subconjunto corresponde, portanto, a um cromossomo binário com genes, de modo que um valor 1 no gene indica a seleção de um tipo de sistema de inspeção ou teste e um valor 0 no mesmo gene implica que este sistema não é selecionado. Diferentes operadores genéticos podem ser utilizados para o procedimento de seleção cruzamento e mutação. O NSGA-II identifica um conjunto de soluções equivalentemente ótimas ao final do processo evolutivo, ou seja, diferentes estratégias de inspeção e testes representando distintos compromissos entre custo e cobertura de defeitos. Os itens a seguir apresentam como são definidas e executadas estas etapas dentro do aplicativo.

3.2.1 Codificação

Conforme destacado anteriormente, a codificação dos indivíduos é fundamental para um algoritmo genético. Uma vez que esta é a maneira de traduzir a informação do nosso problema em uma maneira viável de tratamento pelo computador. A maioria dos pesquisadores usa representação binária, pois ela é a mais simples e por isso tem sido a mais frequentemente usada.

Neste trabalho também se adotou a codificação binária para a representação do problema. Cada cromossomo (indivíduo) da população é composto de oito genes, no qual cada gene representa um sistema de inspeção ou teste específico. O valor 0 (zero) representa que um determinado sistema de inspeção ou teste não será utilizado na estratégia de inspeção e teste, enquanto que o valor 1 (um) será utilizado. A Figura 29 ilustra um exemplo de estratégia de inspeção e teste na estrutura cromossomial adotada neste trabalho.

MVI	SPI	AOI	AXI	MDA	ICT	BST	FT
0	1	1	0	0	1	0	1

Figura 29 - Representação cromossomial e exemplo de estratégia de inspeção e teste: SPIAOI-ICT-FT

Esta representação cromossomial é exibida na planilha principal. Cada vez que um cromossomo for configurado são calculados os valores de custo e cobertura de defeitos individual e combinada de acordo com a estratégia de inspeção e teste que este cromossomo representa. Existe também nesta planilha uma representação alternativa do valor do cromossomo atual através de um número inteiro único, a qual representa valor binário do cromossomo convertido em decimal (Figura 30).

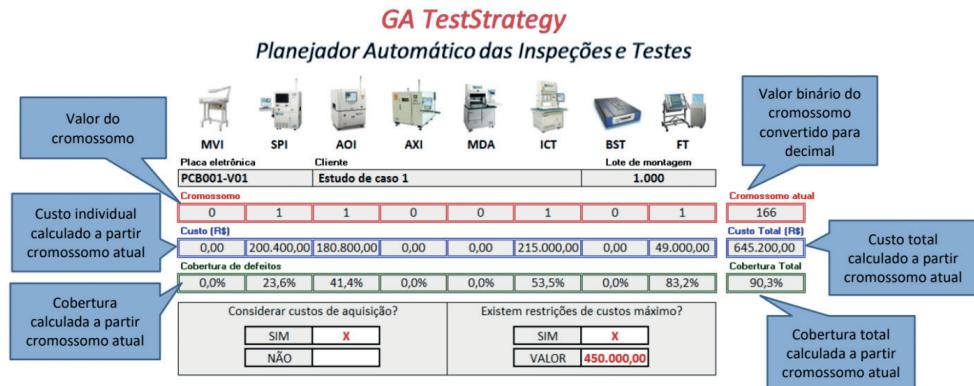


Figura 30 - Valores de custo e cobertura de defeitos atualizados de acordo com o valor atual do cromossomo

Ressalta-se que o algoritmo NSGA-II contido no componente SolveXL é o responsável por encontrar automaticamente os cromossomos mais otimizados em relação a custo mínimo e cobertura de defeitos máxima. Para tal, os campos que representam os cromossomos devem ser configurados conforme Figura 31.

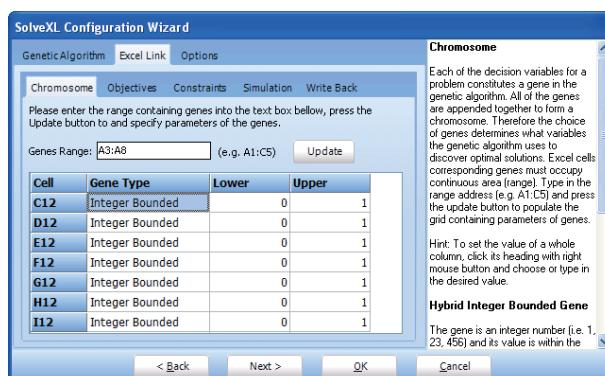


Figura 31 - Definição dos campos do cromossomo

3.2.2 Inicialização

De acordo com Linden, 2008 o desempenho do algoritmo genético é extremamente sensível ao tamanho da população. A maioria dos trabalhos publicados tem uma fixação no número 100. No entanto, não existe número padrão, sendo necessário aplicar uma análise sobre o problema que se está tentando resolver. O número de indivíduos avaliados em uma execução do AG é igual ao número de indivíduos na população vezes o número de rodadas que o algoritmo irá executar (Número de gerações). Pode-se aumentar o tamanho da população ou o número de gerações, ou até mesmo os dois. Quanto maior a população, mais tempo o AG demorará em processar cada geração e maior será a espera em conseguir uma resposta. Desta forma, não se deve aumentar o tamanho da população e o número de gerações indiscriminadamente. A Figura 32 mostra as janelas onde são feitas as configurações do tamanho da população e do número de gerações.

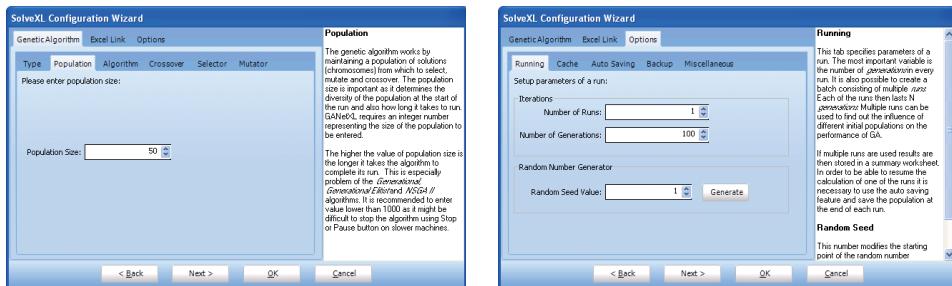


Figura 32 - Configuração do tamanho da população e número de gerações

Neste trabalho, o tamanho da população e o número de gerações foram definidos empiricamente, de acordo com as análises realizadas durante os testes (Capítulo 5). A inicialização de cada indivíduo da população aconteceu de forma aleatória, ou seja, para cada estratégia de inspeção e teste é um número binário aleatório pertencente ao intervalo [0-255].

3.2.3 Função Multi-Objetivo

Depois de representados em forma binária, os cromossomos devem ser selecionados segundo a sua proximidade a uma possível solução ótima. Para isso, utiliza-se a função multi-objetivo a qual representa a heurística da resolução do problema. Os dois objetivos tratados nesse trabalho serão descritos a seguir.

3.2.3.1 Função objetivo 1: Custo

A função custo deve incorporar os gastos com as inspeções e os testes. Neste trabalho, foram considerados os custos de aquisição, programação e operacional de um sistema de inspeção ou testes. A função custo é determinada pela seguinte fórmula:

$$Custo = \sum_{i=1}^n C_{aq}(i) + C_{pr}(i) + C_{op}(i) \times n \quad (5)$$

Onde:

- Custo - custo total da estratégia da inspeção e teste;
- C_{aq} - custo de aquisição referente a um determinado sistema de inspeção ou teste i.
- C_{pr} - custo de programação referente a um determinado sistema de inspeção ou teste i.
- C_{op} - custo operacional por placa eletrônica referente a um determinado sistema de inspeção ou teste i;
- n - tamanho do lote de produção (Quantidade de placas eletrônicas a serem produzidas).

A configuração dos custos dos diferentes sistemas de inspeção e teste possíveis de serem selecionados para uma estratégia de inspeção e teste é realizada em uma planilha auxiliar (Figura 33).

<i>Custos das inspeções e os testes</i>								
	MVI	SPI	AOI	AXI	MDA	ICT	BST	FT
Aquisição (R\$)	5.000,00	200.000,00	180.000,00	900.000,00	100.000,00	200.000,00	70.000,00	40.000,00
Programação (R\$)	200,00	400,00	800,00	1.000,00	10.000,00	10.000,00	12.000,00	4.000,00
Operação (por placa) (R\$)	10,00	0,00	0,00	0,00	5,00	5,00	5,00	5,00

Figura 33 - Planilha para preenchimento de custos dos sistemas de inspeção e teste

No aplicativo, os custos de aquisição foram considerados opcionais, uma vez que a empresa pode estar realizando um planejamento, considerando a compra de um novo equipamento, ou realizando o planejamento a partir de uma infraestrutura instalada. Adicionalmente, foi inserida uma opção de restrição de custo máximo. Caso o valor da estratégia de inspeção e teste tenha um custo considerado inviável para empresa, a mesma

será desconsiderada. A Figura 34 ilustra a planilha principal onde é configurada a opção de considerar os custos de aquisição e restrições de custos, bem como, o tamanho do lote de produção de uma determinada placa eletrônica.

GA TestStrategy															
Planejador Automático das Inspeções e Testes															
MVI	SPI	AOI	AXI	MDA	ICT	BST	FT								
Placa eletrônica	Cliente				Lote de montagem										
PCB001-V01	Estudo de caso 1				1.000										
Cromossomo	1	0	1	0	1	0	0	1							
Custo (R\$)	15.200,00	0,00	180.800,00	0,00	115.000,00	0,00	0,00	49.000,00							
Cobertura de defeitos	36,5%	0,0%	41,4%	0,0%	46,3%	0,0%	0,0%	83,2%							
Considerar custos de aquisição?	<input checked="" type="checkbox"/> SIM <input checked="" type="checkbox"/> NÃO				Existem restrições de custos?	<input checked="" type="checkbox"/> SIM <input checked="" type="checkbox"/> VALOR 450.000,00									
Configuração opcional para custos de aquisição e restrições de custos															
Valor usado para cálculo dos custos de operação															
Cromossomo atual															
149															
Custo Total (R\$)															
360.000,00															
Cobertura Total															
84,7%															

Figura 34 - Planilha principal onde são configurados opções de custos

Os custos de programação para os sistemas totalmente automatizados como as máquinas AOI e AXI ou parcialmente automatizados como os testes ICT e BST são aqueles dispensados com a configuração e infraestrutura (*fixtures*, conectores, folhas de inspeção, etc.) dos sistemas de inspeção e teste para uma determinada placa específica. Enquanto que os custos de programação para um sistema manual, como é o caso da inspeção MVI, está relacionado com os custos de elaboração das folhas de inspeção e treinamentos.

Finalmente os custos de operação estão relacionados principalmente com o custo da mão-de-obra dispensada para realizar uma determinada inspeção ou teste. Este custo é baseado no tamanho do lote de produção (Figura 34), sendo que para os sistemas totalmente automatizados este custo possui um valor igual à zero.

3.2.3.2 Função objetivo 2: Cobertura de defeitos

A função cobertura de defeitos foi determinada através do modelo PCOLA/SOQ, por se tratar do modelo mais completo. Neste modelo, a cobertura é definida pela cobertura de defeito no componente eletrônico em conjunto com a cobertura de defeito na conexão ou junta de solda do componente eletrônico.

Para a cobertura no componente, cinco propriedades são usadas. Estas cinco propriedades são chamadas PCOLA, originária da primeira letra de cada propriedade (*Presence, Correct, Orientation, Live, Alignment*). Estas cinco propriedades definem os principais atributos que, caso cumprido, confirma que o componente certo está inserido corretamente na placa eletrônica e tem a sua função geral testada. A seguir é apresentado com mais detalhes estas cinco propriedades.

- P (Presença): uma inspeção ou teste pode determinar se um componente está presente ou não. Note-se que isso nem sempre implica que é o componente correto. Por exemplo, uma máquina AOI pode detectar que um *chip* resistor de tamanho físico correto está presente, mas não é possível saber se o chip resistor possui o valor correto. Ele pode ser um resistor de 10 KΩ em vez de um resistor de 1 kΩ.
- C (Correto): depois de certo um componente foi determinado presente, então uma inspeção ou teste adicional pode aumentar a probabilidade do componente ser correto. Por exemplo, um sistema de AOI poderá ler o número de identificação impresso no componente, ou um teste BST pode ser capaz de ler o código de identificação de 32 bits do componente.
- O (Orientação): a orientação considera rotação de alguns múltiplos de 90 graus, que pode ser possível, durante a inserção dos componentes. Um teste ICT de um diodo, por exemplo, pode facilmente determinar se o componente está orientado corretamente ou possui um defeito de orientação de 180 graus. As máquinas AOI podem determinar a orientação através da identificação da marca de polaridade em um componente. As máquinas AXI geralmente não detecta orientação defeitos, exceto para capacitores polarizados que têm uma característica assimétrica detectável por raios-X.
- L (Vivo): o conceito de vivo ou morto é usado de forma limitada. Estar vivo não significa que toda a operação e características de desempenho são testadas, mas sim se o componente parece ser grosseiramente funcional. Medindo o valor da resistência de um resistor indica que a função básica do componente existe. Outra indicação de uma condição de vivo é se os pinos de saída em dispositivos digitais alternam corretamente. Apenas os testes tem cobertura desta propriedade.
- A (Alinhamento): alinhamento é uma indicação de que o componente está alinhado corretamente e todos os seus pinos estão soldados nos *pads*¹ da placa dentro das especificações. Defeitos de alinhamento são normalmente bastante pequenos, por exemplo, se um pino ou os pinos do componente eletrônico estão fora dos limites dos *pads* da placa. Defeitos alinhamento não devem ser confundidos com os defeitos de orientação. A maioria dos defeitos de alinhamento não pode ser detectada com uma medição elétrica. No entanto, a máquina AXI e, especialmente, a AOI oferecem boa cobertura deste tipo de defeito.

¹ **Pads** - regiões da placa eletrônica onde devem ser soldados os terminais dos componentes

As propriedades PCOLA dão uma boa indicação de cobertura para os tipos de defeitos no componente. Mas também é sabido que existe uma quantidade significativa de defeitos relacionados à junta de solda. Se analisar esses tipos de defeitos, eles podem ser resumidos em três tipos de defeitos principais: curto, aberto, e outros defeitos relacionados com a qualidade. Estas três propriedades são referidas dentro do modelo como SOQ (*Shorts, Opens, Quality*), elas dão uma boa indicação das características da junta de solda ou conexão. Se todas estas propriedades estão dentro das exigências, a junta de solda está livre de defeitos. A seguir é apresentado com mais detalhes estas três propriedades:

- S (Curto): as principais causas de curto são normalmente pinos tortos, componentes significativamente desalinhados, ou excesso de solda, no qual podem provocar um curto-circuito entre dois pontos elétricos. Às vezes os dois pinos, que estão em “curto-circuito” pertence ao mesmo ponto elétrico do circuito, tornando-se indetectável com uma medição elétrica. No entanto, na maioria dos casos, ainda é considerado um defeito.
- O (Aberto): quando um pino de componente não estiver conectado corretamente ao *pad* da placa, esta é uma condição aberta. Muitos, mas nem todos os defeitos de abertos podem ser medidos eletricamente. Um exemplo de defeito aberto, que não podem ser detectados eletricamente é um pino de terra em um CI com múltiplos pinos de terra.
- Q (Qualidade): qualidade na junta indica outras propriedades uma junta de solda. Exemplos de defeitos nesta categoria são: solda insuficiente, excesso de solda e buracos na solda.

Desta forma, a determinação da função objetivo para a cobertura de defeitos deve incluir as contribuições de todos os componentes e juntas de solda contidas numa placa eletrônica. Além disso, cada propriedade do componente ou junta de solda deve possuir um grau de relevância para o modelo, ou seja, os defeitos que são menos críticos ou possuem uma nível de ocorrência muito baixo, devem possuir uma relevância menor. Um exemplo de uma propriedade baixa relevância é a orientação de um resistor.

A equação para a cobertura de defeitos para as propriedades dos componentes é calculada usando a seguinte fórmula:

$$C_c = \sum_{i=1}^{N_c} \frac{(P_{S(i)} \times P_{W(i)} + C_{S(i)} \times C_{W(i)} + O_{S(i)} \times O_{W(i)} + L_{S(i)} \times L_{W(i)} + A_{S(i)} \times A_{W(i)})}{N_c} \quad (6)$$

Onde:

- C_c = valor da cobertura de defeitos para as propriedades dos componentes da placa eletrônica
- $P_{s(i)}$ = valor da propriedade Presença para o componente i
- $C_{s(i)}$ = valor da propriedade Correto para o componente i

- $O_{s(i)}$ = valor da propriedade Orientação para o componente i
- $L_{s(i)}$ = valor da propriedade Vivo para o componente i
- $A_{s(i)}$ = valor da propriedade Alinhamento para o componente i
- $P_{w(i)}$ = peso da propriedade Presença para o componente i
- $C_{w(i)}$ = peso da propriedade Correto para o componente i
- $O_{w(i)}$ = peso da propriedade Orientação para o componente i
- $L_{w(i)}$ = peso da propriedade Vivo para o componente i
- $A_{w(i)}$ = peso da propriedade Alinhamento para o componente i
- N_c = Número de componentes na placa eletrônica

O valor da cobertura de defeitos para a propriedade componente (C_c) varia de 0 a 1. Deste modo, os valores das propriedades (P_s , C_s , O_s , L_s , A_s) também devem ser um valor entre 0 a 1, no qual está baseado no desempenho da inspeção ou do teste. Por exemplo, um teste de resistência para um determinado tipo de resistor realizado por um ICT dará uma pontuação igual a 1 para a propriedade Presença (P_s). O valor da propriedade Correta (C_s) indica se o resistor possui o valor da resistência adequado e, portanto, a partir desse ponto de vista, a medição da resistência pelo ICT apresentaria um valor 1 para esta propriedade. No entanto, não sabemos se o componente está correto do ponto de vista da potência. Um resistor de $\frac{1}{2}$ watt pode ter sido especificado, mas uma resistência watt $\frac{1}{4}$ foi inserida. Logo, uma pontuação entre 0 e 1 para propriedade Correto (C_s) é o mais adequado, por exemplo um valor de 0,5. O valor da propriedade Orientação (O_s) não se aplica a um resistor. O valor da propriedade Vivo (L_s) neste exemplo será igual a 1, uma vez que o resistor exerce a função básica de resistência. A última propriedade, Alinhamento (A_s), será 0 para um teste ICT. Uma vez que o ICT não pode detectar se o resistor está inserido parcialmente fora do *pad*. No entanto, se estiver totalmente fora do *pad*, o mesmo será detectado pelo teste de presença.

Neste mesmo exemplo do resistor, é possível verificar que uma inspeção AOI irá complementar o teste de ICT. Para uma inspeção, novamente o valor da propriedade Presença (P_s) será igual a 1. O valor da propriedade Correto (C_s), supondo que o resistor não possua marcações, seria igual a 0,5. Uma vez que é possível identificar se o resistor possui o tamanho correto, mas não é possível saber se o seu valor de resistência está adequado. O valor da propriedade Vivo (L_s) será igual a 0 e a propriedade alinhamento (A_s) será igual a 1. As máquinas AOI são muito eficazes para a medição do alinhamento.

Na Tabela 4 são apresentados exemplos de valores das propriedades de Componente (P_s , C_s , O_s , L_s , A_s) para um resistor testado por um teste ICT, por uma inspeção AOI e por ambos.

Tabela 4 - Valores das propriedades PCOLA para um resistor testado por um ICT, inspecionado por máquina AOI e por ambos

Componente Resistor	Sistema de inspeção e teste	Propriedades				
		P _s	C _s	O _s	L _s	A _s
	ICT	1	0,5	-	1	0
	AOI	1	0,5	-	0	1
	AOI + ICT	1	0,5	-	1	1

Ao combinar a cobertura de diferentes sistemas de inspeção e teste, o valor máximo de cada inspeção ou teste individual é selecionado. No caso da propriedade Correto (C_s) o rendimento do teste será 0,5. Neste exemplo específico, sabe-se que ICT possui uma boa cobertura do valor da resistência e que a máquina AOI possui uma boa avaliação do tamanho do componente e, portanto, uma boa cobertura da propriedade potência. Neste caso, a cobertura combinada é provavelmente mais perto de 1. No entanto, isto nem sempre pode ocorrer, já que ambos os sistemas de inspeção e testes podem verificar as mesmas propriedades dos componentes e, portanto, o algoritmo que calcula a cobertura total utilizando valor máximo é mais conservador.

Com relação à soma dos pesos de todos as propriedades do componente, a mesma deve ser igual a 1. ($P_w + C_w + O_w + L_w + A_w = 1$). Ressalta-se que os pesos das propriedades podem ser distintos para os diferentes tipos de componentes. Um bom exemplo é que o peso da propriedade orientação (O_w) para um resistor ou para um capacitor não polarizado deve ser zero. Portanto, os pesos restantes propriedade de um resistor são superiores, de modo que o montante é ainda igual a 1. No entanto, o peso da propriedade orientação para um diodo é importante, e não deve ser igual à zero. Na Tabela 5 são apresentados exemplos de valores dos pesos das propriedades de Componente (P_w, C_w, O_w, L_w, A_w) para diferentes tipos de componentes eletrônicos.

Tabela 5 - Valores dos pesos das propriedades PCOLA para diferentes tipos de componentes

Componentes	Peso das propriedades				
	P _w	C _w	O _w	L _w	A _w
 Resistor	0,3	0,3	0	0,3	0,1
 Capacitor não polarizado	0,3	0,3	0	0,3	0,1
 Capacitor polarizado	0,225	0,225	0,225	0,225	0,1
 Díodo	0,225	0,225	0,225	0,225	0,1
 CI Digital	0,225	0,225	0,225	0,225	0,1

O cálculo da cobertura de defeitos para das propriedades das juntas de solda é feito de uma maneira semelhante ao das propriedades do componente a qual se utiliza a seguinte fórmula:

$$C_j = \sum_{i=1}^{N_c} \frac{(S_{s(i)} \times S_{w(i)} + O_{s(i)} \times O_{w(i)} + Q_{s(i)} \times Q_{w(i)}) \times N_{t(i)}}{N_j} \quad (7)$$

Onde:

C_j = valor da cobertura de defeitos para as propriedades das juntas de solda da placa eletrônica

- S_{s(i)} = valor da propriedade Curto para o componente i
- O_{s(i)} = valor da propriedade Open para o componente i
- Q_{s(i)} = valor da propriedade Qualidade para o componente i
- S_{w(i)} = peso da propriedade Curto para o componente i
- O_{w(i)} = peso da propriedade Aberto para o componente i
- Q_{w(i)} = peso da propriedade Qualidade para o componente i
- N_{t(i)} = Número de terminais do componente i
- N_c = Número de componentes da placa eletrônica
- N_j = Número de juntas de solda da placa eletrônica

Novamente, o valor da cobertura de defeitos para a propriedade junta de solda (C_j) será um número entre 0 e 1. A soma dos pesos de propriedade S_w + O_w + Q_w deve ser igual a 1. Os valores de propriedade S_s, O_s, e Q_s deverá ser um valor entre 0 a 1 e cada junta de solda deve ser considerada. O valor 1 para todas as três propriedades significa que a junta de solda possui uma boa cobertura para defeitos de curtos, abertos e de qualidade.

O valor 0 significa não existe nenhuma cobertura para a propriedade. Valores entre 0 e 1 significam que a propriedade será verificada parcialmente. A Tabela 6 apresenta exemplos de valores dos pesos das propriedades da junta de solda. Destaca-se que neste caso, normalmente estes valores são iguais para todos os tipos de componentes, uma vez que todos os componentes deverão ser soldados na placa eletrônica e os defeitos em suas juntas de solda afetarão a funcionalidade e a confiabilidade da placa eletrônica.

Tabela 6 - Valores dos pesos das propriedades SOQ

S_w	O_w	Q_w
0,4	0,4	0,2

Assim, o valor da cobertura de defeitos completa baseado no modelo PCOLA-SOQ para uma placa eletrônica específica consiste na combinação de dois valores, o valor da cobertura para as propriedades dos componentes (C_c) e o valor da cobertura para as propriedades da junta de solda (C_j). Um componente possui a cobertura completa quando estiver totalmente testada com relação a sua presença, correto, orientação, vivo e alinhamento, e quando todos os pinos estiverem verificados a presença de curtos, abertos e a qualidade junta de solda. Deste modo, a cobertura de defeitos completa para uma placa eletrônica será calculada através da seguinte fórmula:

$$C_{PCB} = \left(\frac{C_c + C_j}{2} \times 100 \right) \% \quad (8)$$

Onde:

C_{PCB} = valor da cobertura de defeitos da placa eletrônica;

C_c = valor da cobertura de defeitos para as propriedades dos componentes;

C_j = valor da cobertura de defeitos para as propriedades das juntas de solda.

Portanto, o valor total de cobertura de defeitos de uma placa eletrônica varia entre 0 a 100%, ou seja, quando a estratégia de inspeção e teste possuirá uma cobertura completa dos defeitos de uma placa eletrônica o valor obtido será igual a 100%, enquanto que uma placa eletrônica que não passar por nenhum sistema de inspeção ou teste possuirá uma cobertura de defeitos com o valor igual 0%.

Para cálculo função objetivo cobertura de defeitos no aplicativo gerado, criou-se uma planilha no software Microsoft Excel para configuração dos valores dos pesos e das propriedades PCOLA para cada modelo de encapsulamento de componente e para cada uma das juntas de solda deste componente, a partir de um ponto de vista SOQ. Esta planilha também é realizada a configuração das informações da quantidade e tipos de encapsulamentos contidos na placa eletrônica e o cálculo individual e combinado da cobertura de defeitos de cada sistema de inspeção e teste (Figura 35).

Cobertura de defeitos das inspeções e testes - Modelo PCOLA-SOQ

PLACA PCB02		COMPONENTES		PESOS		MVI		Combinada - MVI		SPN		Combinada - SPI								
Total Comp.	Total Junta			P _s	C _s	O _s	L _s	A _s	S _s	O _s	O _s	Total Comp.	Total Junta	SPN	Total Comp.	Total Junta	P _s	C _s	O _s	
Componente	Junta																			
50	2	CHP	Resistores	3/5 Lead	0,3	0,3	0,3	0,1	0,4	0,4	0,2	1	0,4	1	0	0,6	0,8	0,8	0,3	
35	2	CHP	Capacitores não polarizados	3/5 Lead	0,3	0,3	0	0,3	0,1	0,4	0,4	0,2	1	0,4	1	0	0,6	0,8	0,8	0,3
10	2	CHP	Capacitores polarizados e diodos	L-Lead	0,2	0,2	0,2	0,2	0,1	0,4	0,4	0,2	1	0,5	1	0	0,6	1	0,8	0,5
0	2	MELF	Resistores, capacitores e indutores	Round	0,3	0,3	0	0,3	0,1	0,4	0,4	0,2	1	0,5	1	0	0,8	1	1	0,5
1	2	MELF	Diodos	Round	0,2	0,2	0,2	0,2	0,1	0,4	0,4	0,2	1	0,5	1	0	0,8	1	1	0,5
5	3	SDT	Transistores	Flat-Lead	0,2	0,2	0,2	0,2	0,1	0,4	0,4	0,2	1	0,5	1	0	0,8	1	1	0,5

Figura 35 - Planilha para preenchimento das propriedades PCOLA/SOQ e cálculo da cobertura de defeitos dos sistemas de inspeção e teste

Atualmente, este preenchimento é feito manualmente na planilha do software Microsoft Excel, mas uma alternativa para agilizar o cadastro é desenvolver uma rotina para ler um arquivo no padrão ODB++ e importar automaticamente as informações relacionadas aos tipos de componentes e números de juntas de solda de uma placa eletrônica para dentro da planilha.

Finalmente ressalta-se que os campos que possuem o cálculo total das funções custo e cobertura defeitos são configurados no componente SolveXL, indicando que objetivo é minimizar a função custo e maximizar a função cobertura de defeitos (Figura 36).

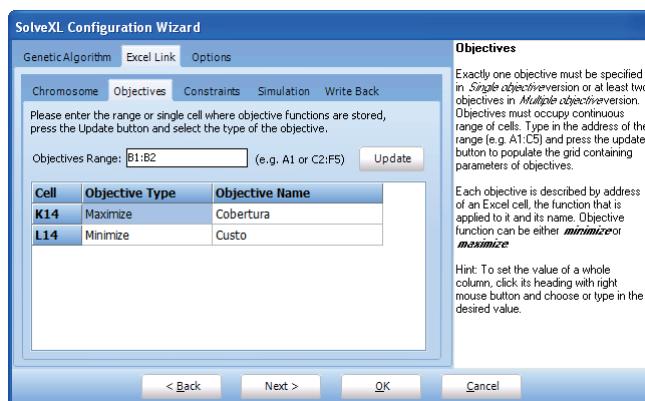


Figura 36 - Configuração da função multi-objetivos

3.2.4 Operadores de seleção, cruzamento e mutação

Para que a primeira população seja refinada segundo o critério da função objetivo, selecionam-se os melhores indivíduos da população para se reproduzirem e darem origem a uma nova população. Para isto ocorrer é necessário definir os operadores de seleção, cruzamento e mutação. Esta configuração é realizada através de janelas distintas conforme indicadas respectivamente na Figura 37.



Figura 37 - Definição dos operadores de seleção, cruzamento e mutação

Depois de executada a mutação, a nova população é testada na função objetivo, e seus resultados são comparados com a população anterior. Destes cromossomos, abrangendo a população inicial e a nova população, os melhores classificados são selecionados, para compor a população que será utilizada na iteração seguinte. Ao final das interações do AG são mostrados na planilha principal do Planejador Automático os resultados das melhores combinações de estratégia de inspeção e teste (Figura 38), a fim que o planejador da qualidade possa decidir aquela que for mais adequada para a placa eletrônica a ser produzida.

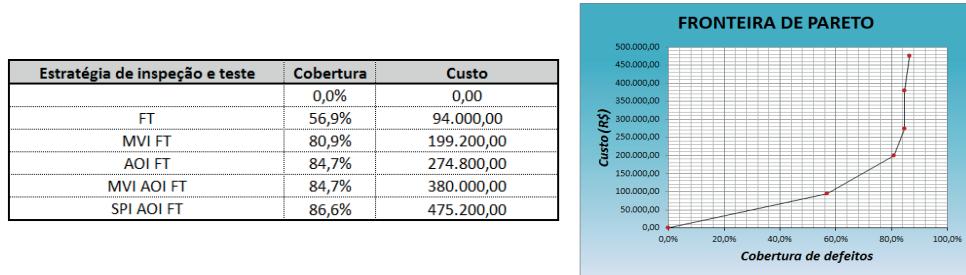


Figura 38 - Resultados gerados pelo Planejador Automático GATestStrategy ao final da interação do Algoritmo Genético

RESULTADOS E DISCUSSÕES

Para a análise dos resultados foram escolhidas três modelos de placas eletrônicas de diferentes níveis de complexidades: alta, média e baixa. Para cada modelo de placa foi realizado testes variando o tamanho do lote de produção, uma vez que a empresa é capaz de produzir desde pequenos lotes até grandes lotes de placas eletrônicas. A validação do método proposto foi realizada através de comparações quantitativas e qualitativas com as estratégias de inspeção e teste realizadas manualmente por um especialista humano. Atestada a viabilidade de aplicação dos Algoritmos Genéticos ao problema, buscou-se sugerir aperfeiçoamento aos algoritmos propostos com o intuito de superar as dificuldades encontradas e melhorar seu desempenho. Este capítulo aborda as configurações feitas no algoritmo NSGA-II, os resultados obtidos nos estudos de casos realizados e análise e discussão destes resultados.

4.1 CONFIGURAÇÃO DO ALGORITMO NSGA-II

A codificação dos indivíduos e a definição da função objetivo são as etapas mais importantes do algoritmo, mas o desempenho do processo evolutivo depende também dos parâmetros envolvidos, tais como: tamanho da população, probabilidade de aplicação dos operadores genéticos, critérios dos operadores de seleção e condição de parada.

Para verificar a melhor configuração do algoritmo NSGA-II foi testado empiricamente diferentes tamanhos de população e número de gerações e distintas configurações para os operadores de cruzamento e mutação. Apenas o operador de seleção foi mantido constante o torneio binário com base na classificação (*ranking*) e no operador *crowding distance* de acordo com procedimento padrão do NSGA-II. Observou-se que o resultado que convergia mais rapidamente e com a mesma eficácia quando a configuração era realizada da seguinte forma:

- Tamanho da população: 50
- Número de gerações: 80
- Operador de verificação: *crowding distance*
- Operador de cruzamento: cruzamento de um ponto
- Taxa de cruzamento: 0,95
- Mutação: inversão
- Taxa de mutação: 0,05

Estes valores utilizados para todos os estudos de casos descritos nos subitens a seguir.

4.2 ESTUDO DE CASO 1: GERAÇÃO DA ESTRATÉGIA DE INSPEÇÃO E TESTE PARA UMA PLACA ELETRÔNICA DE BAIXA COMPLEXIDADE

Para este estudo foi escolhido um modelo de placa eletrônica bem simples contendo apenas 10 componentes e 32 juntas de solda. Este modelo de placa não possui componentes críticos, assim como, nenhum dos componentes contempla o padrão de teste Boundary Scan/JTAG. A Tabela 7 apresenta a quantidade de componentes e juntas de solda dos diferentes tipos de encapsulamento contidos neste modelo de placa eletrônica.

Tabela 7 - Lista de componentes da placa eletrônica utilizada para o estudo caso 1

Encapsulamento	Tipo	JTAG	Componentes	Juntas de solda
CHIP	Resistores		2	4
CHIP	Capacitores não polarizados		4	8
CHIP	Capacitores polarizados e diodos		2	4
SOIC	CI		2	16

Uma vez que se trata de uma placa eletrônica simples de ser montada e testada, espera-se que a mesma gere um número reduzido de defeitos, os quais podem ser cobertos por uma estratégia de inspeção e teste de custo relativamente reduzido. Visando chegar a esta resposta realizou-se este estudo de caso com intuito de verificar a eficácia do aplicativo em relação à contundência dos resultados obtidos para placas eletrônicas simples. Três rodadas de testes foram realizadas variando o tamanho do lote em 100, 10.000 e 100.000 placas, os parâmetros configurados no algoritmo NSGA-II já foram mencionados no item 5.1. Os resultados gerados pelo Planejador Automático de acordo com os diferentes lotes de produção são apresentados na Figura 39, Figura 40 e Figura 41.

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	MVI	60,3%	6.200,00
3	MVI FT	83,3%	50.700,00
4	MVI MDA FT	85,1%	161.200,00
5	AOI FT	87,9%	225.300,00
6	MVI AOI FT	88,0%	231.500,00
7	MVI ICT FT	88,5%	261.200,00
8	SPI AOI FT	89,4%	425.700,00
9	AOI ICT FT	91,3%	435.800,00
10	MVI AOI ICT FT	91,4%	442.000,00
11	SPI AOI ICT FT	92,8%	636.200,00
12	MVI AXI ICT	94,6%	1.117.700,00
13	MVI AXI ICT FT	95,8%	1.162.200,00
14	AOI AXI ICT	96,6%	1.292.300,00
15	AOI AXI ICT FT	97,8%	1.336.800,00

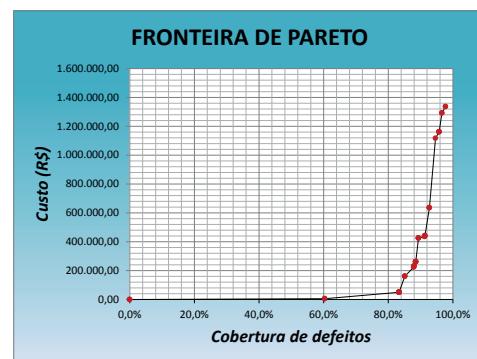


Figura 39 - Resultados obtidos para o estudo de caso 1 para um lote de 100 placas

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	FT	58,0%	94.000,00
3	MVI	60,3%	105.200,00
4	MDA	66,7%	160.000,00
5	MVI FT	83,3%	199.200,00
6	AOI FT	87,9%	274.800,00
7	MVI ICT FT	88,5%	459.200,00
8	SPI AOI FT	89,4%	475.200,00
9	AOI ICT FT	91,3%	534.800,00
10	MVI AOI ICT FT	91,4%	640.000,00
11	SPI AOI ICT FT	92,8%	735.200,00
12	AOI AXI FT	94,4%	1.175.800,00
13	MVI AXI ICT	94,6%	1.266.200,00
14	AOI AXI ICT	96,6%	1.341.800,00
15	AOI AXI ICT FT	97,8%	1.435.800,00

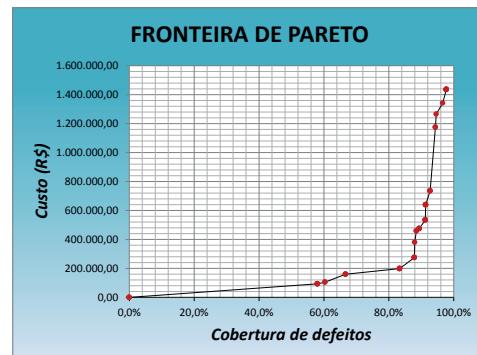


Figura 40 - Resultados obtidos para o estudo de caso 1 para um lote de 10.000 placas

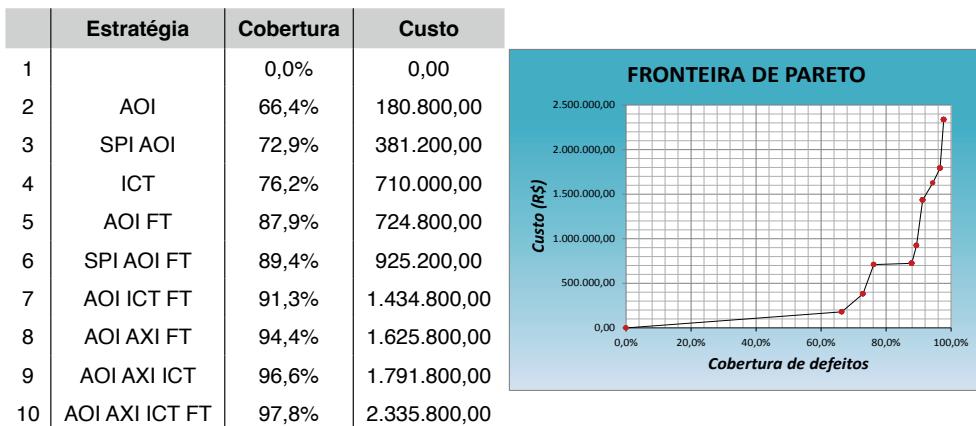


Figura 41 - Resultados obtidos para o estudo de caso 1 para um lote de 100.000 placas

Os resultados obtidos mostraram que para um lote de produção de 100 placas, uma boa cobertura de teste, acima de 85%, com o menor custo possível é alcançada pela estratégia de inspeção e teste MVI-MDA-FT. É interessante notar que esta estratégia de inspeção e teste foi mais usada até os anos 90, uma vez que as placas eletrônicas eram de baixa complexidade e possuíam apenas componentes simples de serem inspecionados.

Já para lotes maiores, 10.000 e 100.000, uma boa cobertura de defeitos com custo reduzido é atingido pela estratégia de inspeção e teste AOIFT. Este resultado faz sentido pelo fato das máquinas AOI serem bem mais eficiente e confiável para operações repetitivas em relação às inspeções manuais. Assim, priorizar a AOI é uma decisão correta neste caso. Finalmente, percebe-se que a cobertura de defeitos máxima para todos os tamanhos de lote de produção foi de 97,8%, a qual é obtida pela estratégia de inspeção e teste AOI-AXI-ICT-FT. Isto é coeso, uma vez que se a confiabilidade do produto for essencial, caso por exemplo de produtos médicos ou aeronáuticos, deve-se ter uma estratégia de inspeção e teste com a maior cobertura possível, sendo que esta deve ser a mesma para todos os tamanhos de lote de produção.

4.3 ESTUDO DE CASO 2: GERAÇÃO DA ESTRATÉGIA DE INSPEÇÃO E TESTE PARA UMA PLACA ELETRÔNICA DE MÉDIA COMPLEXIDADE

Para o segundo estudo selecionou-se um modelo de placa eletrônica contendo uma quantidade de componentes e juntas de solda mediana, totalizando 136 e 506 respectivamente. Este modelo de placa não possui componentes críticos e apenas um componente contempla o padrão de teste Boundary Scan/JTAG. A Tabela 8 apresenta o número total de componentes e juntas de solda dos diferentes tipos de encapsulamento contidos neste modelo de placa eletrônica.

Tabela 8 - Lista de componentes da placa eletrônica utilizada para o estudo caso 2

Encapsulamento	Tipo	JTAG	Componentes	Juntas de solda
CHIP	Resistores		55	110
CHIP	Capacitores não polarizados		40	80
CHIP	Capacitores polarizados e diodos		17	34
MELF	Resistores, capacitores e indutores		1	2
DPAK	Transistores		2	8
SOIC	CI		19	200
SOIC-T	CI		1	8
QFP	CI	X	1	64

Para este modelo de placa eletrônica esperava-se que a inspeção MVI não seja a mais apropriada, uma vez que pelo de número de componentes existentes torna a mesma mais demorada e ineficaz. Este estudo de caso foi realizado com intuito de verificar a resposta do Planejador Automático para um modelo de placa eletrônica de média complexidade. Assim como no estudo anterior, os testes foram realizados em três rodadas para cada tamanho de lote. Os valores relacionados ao tamanho do lote e parâmetros do algoritmo NSGA-II foram os mesmos empregados anteriormente. Os resultados gerados pelo Planejador Automático de acordo com os diferentes lotes de produção são apresentados na Figura 42, Figura 43 e Figura 44.

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	MVI	58,7%	6.200,00
3	MVI FT	82,3%	50.700,00
4	MVI MDA FT	84,4%	161.200,00
5	AOI FT	87,3%	225.300,00
6	MVI ICT FT	88,1%	261.200,00
7	SPI AOI FT	88,9%	425.700,00
8	AOI ICT FT	90,9%	435.800,00
9	MVI AOI ICT FT	91,0%	442.000,00
10	SPI AOI ICT FT	92,5%	636.200,00
11	MVI AXI ICT	94,7%	1.117.700,00
12	MVI AXI ICT FT	95,6%	1.162.200,00
13	AOI AXI ICT	96,7%	1.292.300,00
14	AOI AXI ICT FT	97,6%	1.336.800,00

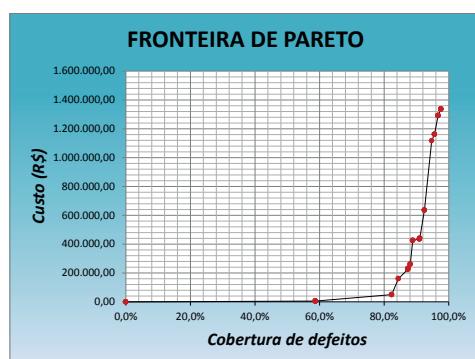


Figura 42 - Resultados obtidos para o estudo de caso 2 para um lote de 100 placas

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	FT	57,2%	94.000,00
3	MVI	58,7%	105.200,00
4	MDA	66,5%	160.000,00
5	MVI FT	82,3%	199.200,00
6	AOI FT	87,3%	274.800,00
7	MVI AOI FT	87,4%	380.000,00
8	MVI ICT FT	88,1%	459.200,00
9	SPI AOI FT	88,9%	475.200,00
10	AOI ICT FT	90,9%	534.800,00
11	MVI AOI ICT FT	91,0%	640.000,00
12	SPI AOI ICT FT	92,5%	735.200,00
13	AOI AXI FT	94,0%	1.175.800,00
14	MVI AXI ICT	94,7%	1.266.200,00
15	AOI AXI ICT	96,7%	1.341.800,00
16	AOI AXI ICT FT	97,6%	1.435.800,00

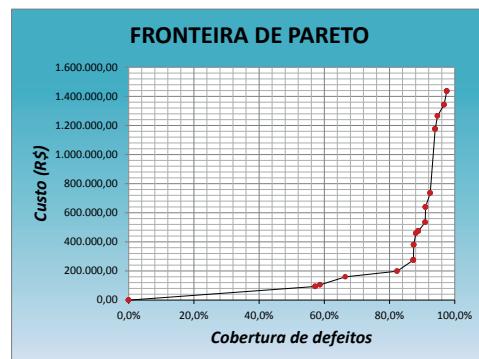


Figura 43 - Resultados obtidos para o estudo de caso 2 para um lote de 10.000 placas

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	AOI	65,2%	180.800,00
3	SPI AOI	71,5%	381.200,00
4	ICT	76,3%	710.000,00
5	AOI FT	87,3%	724.800,00
6	SPI AOI FT	88,9%	925.200,00
7	AOI ICT FT	90,9%	1.434.800,00
8	AXI ICT	91,4%	1.611.000,00
9	AOI AXI ICT	96,7%	1.791.800,00
10	AOI AXI ICT FT	97,6%	2.335.800,00



Figura 44 - Resultados obtidos para o estudo de caso 2 para um lote de 100.000 placas

Os resultados obtidos mostraram que para todos os lotes de produção, uma cobertura de defeitos razoável, acima de 85%, com um custo reduzido é obtido com a utilização de uma máquina AOI. A estratégia de inspeção e teste AOI-FT é a opção gerada neste caso. Nota-se que esta mesma estratégia inspeção e teste foi obtida para o estudo anterior, quando o lote de produção era de 100.000 placas. Isto corrobora com a teoria na qual a inspeção MVI começa a tornar inviável quando um grande número de placas eletrônicas necessita ser inspecionado ou durante a inspeção de placas eletrônicas.

com muitos componentes e juntas de solda. Percebe-se também pelos resultados que a cobertura de defeitos máxima para todos os tamanhos de lote de produção foi a mesma do estudo anterior, ou seja, uma cobertura de 97,6% obtida pela estratégia de inspeção e teste AOI-AXI-ICT-FT.

4.4 ESTUDO DE CASO 3: GERAÇÃO DA ESTRATÉGIA DE INSPEÇÃO E TESTE PARA UMA PLACA ELETRÔNICA DE ALTA COMPLEXIDADE

Finalmente, para o terceiro estudo foi selecionado um dos modelos mais complexos de placa eletrônica montada pela empresa, no qual existe uma quantidade de 554 componentes e 2349 juntas de solda. Este modelo de placa possui 4 componentes críticos e 6 componentes que contemplam o padrão de teste Boundary Scan/JTAG. A Tabela 9 apresenta o número total de componentes e juntas de solda dos diferentes tipos de encapsulamento contidos neste modelo de placa eletrônica.

Tabela 9 - Lista de componentes da placa eletrônica utilizada para o estudo caso 3

Encapsulamento	Tipo	JTAG	Componentes	Juntas de solda
CHIP	Resistores		173	346
CHIP	Capacitores não polarizados		247	494
CHIP	Capacitores polarizados e diodos		65	130
MELF	Resistores, capacitores e indutores		4	8
SOT	Transistores		32	96
DPAK	Transistores		5	20
SOIC	Cl		18	268
SOIC-T	Cl		4	66
QFP	Cl	X	2	48
BGA	Cl	X	4	873

Para este modelo de placa eletrônica, principalmente para os lotes de 10.000 e 100.000 placas, é necessário que a estratégia de inspeções e teste considere, além das características de custo e cobertura, a efetividade do tempo de execução das inspeções e testes. Assim sendo, os sistemas de inspeções e testes que trabalham na velocidade da linha de produção são sempre os mais apropriados. Entretanto, como no aplicativo desenvolvido não foi considerado a característica tempo de execução, o mesmo deve estar embutido de forma indireta na função custo, ou seja, os sistemas de inspeção e testes mais lentos devem ser atribuídos um custo de operação maior do que os demais. Portanto, o estudo de caso foi realizado com o objetivo de verificar a resposta do Planejador Automático para um modelo complexo de placa eletrônica. Os testes foram realizados usando os

mesmos procedimentos dos outros dois estudos anteriores. Os resultados gerados pelo Planejador Automático de acordo com os diferentes lotes de produção são apresentados na Figura 45, Figura 46 e Figura 47.

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	MVI	46,9%	6.200,00
3	FT	56,8%	44.500,00
4	MVI FT	80,9%	50.700,00
5	MVI MDA FT	83,2%	161.200,00
6	AOI FT	85,9%	225.300,00
7	MVI ICT FT	87,2%	261.200,00
8	SPI AOI FT	87,4%	425.700,00
9	AOI ICT FT	89,8%	435.800,00
10	MVI AOI ICT FT	89,9%	442.000,00
11	SPI AOI ICT FT	91,3%	636.200,00
12	AXI ICT	91,7%	1.111.500,00
13	MVI AXI ICT	95,0%	1.117.700,00
14	MVI AXI ICT FT	95,3%	1.162.200,00
15	AOI AXI ICT	97,1%	1.292.300,00
16	AOI AXI ICT FT	97,4%	1.336.800,00



Figura 45 - Resultados obtidos para o estudo de caso 3 para um lote de 100 placas

	Estratégia	Cobertura	Custo
1		0,0%	0,00
2	FT	56,8%	94.000,00
3	MDA	57,9%	160.000,00
4	MVI FT	80,9%	199.200,00
5	AOI FT	85,9%	274.800,00
6	MVI ICT FT	87,2%	459.200,00
7	SPI AOI FT	87,4%	475.200,00
8	AOI ICT FT	89,8%	534.800,00
9	MVI AOI ICT FT	89,9%	640.000,00
10	SPI AOI ICT FT	91,3%	735.200,00
11	AXI ICT	91,7%	1.161.000,00
12	AOI AXI FT	93,6%	1.175.800,00
13	MVI AXI ICT	95,0%	1.266.200,00
14	AOI AXI ICT	97,1%	1.341.800,00
15	AOI AXI ICT FT	97,4%	1.435.800,00



Figura 46 - Resultados obtidos para o estudo de caso 3 para um lote de 10.000 placas

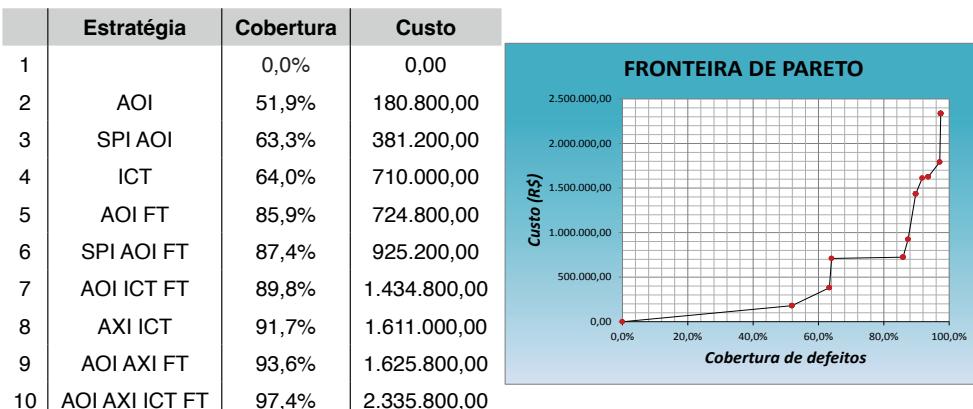


Figura 47 - Resultados obtidos para o estudo de caso 3 para um lote de 100.000 placas

Os resultados obtidos neste estudo mostraram-se parecidos com o estudo anterior, ou seja, obtém-se uma cobertura de defeitos aceitável, acima de 85%, com um menor custo possível com a utilização da estratégia de inspeção e teste AOI-FT e uma cobertura de defeitos máxima através estratégia de inspeção e teste AOI-AXI-ICT-FT. A diferença está no valor percentual da cobertura, neste estudo caso percebe-se que este é ligeiramente menor do que ao anterior. Os resultados mostraram-se também coerentes entre si em termos de combinações de estratégia de inspeção e testes para os diferentes tamanhos de lotes, no qual nota-se que as combinações são maiores para pequenos lotes e vai diminuindo à medida que os lotes de produção aumentam.

Conclui-se, no entanto, que a proximidade entre os resultados aconteceu pelo fato do teste BST não ser selecionado em nenhuma das estratégias de inspeção e teste geradas, uma vez que este modelo de placa possuía componentes críticos em que eram possíveis de serem verificados pelo teste Boundary-Scan/JTAG.

Isto ocorreu devido há uma limitação da função custo, na qual não abrange o custo do reparo do defeito. Uma vez que a codificação cromossomial do AG representa apenas a presença ou ausência de um determinado sistema de inspeção ou teste, mas não considera o local do processo onde este sistema será inserido, não foi possível estimar o custo do reparo. Assim sendo, o teste BST assim como a inspeção SPI foram superadas em termos de custo e cobertura de defeitos por sistemas de inspeção e teste gerando resultados parecidos de estratégias de inspeção e teste entre placas de modelos diferentes.

4.5 CONSIDERAÇÕES FINAIS

Neste trabalho, foi desenvolvido um planejador automático da estratégia de inspeção e teste voltado para o processo de montagem de placas eletrônicas tendo como ferramenta principal o algoritmo genético multi-objetivo NSGA-II. Com base nos resultados apresentados, o algoritmo NSGA-II mostrou-se eficiente para os problemas avaliados. Embora, os primeiros resultados apontam que a eficácia do método pode ser acrescida.

Na abordagem proposta, o NSGA-II identifica um conjunto de soluções equivalentemente ótimas ao final do processo evolutivo, ou seja, diferentes subconjuntos de sistemas de inspeção e teste representando distintos compromissos entre as medidas de importância combinadas: custo e cobertura de defeitos. No entanto, na estrutura desenvolvida o planejador não apresenta ao usuário o local onde cada sistema de inspeção e teste pode ser inserido na linha de produção. Como cada técnica é eficiente para detectar certos tipos de defeitos, consequentemente é mais adequado utilizá-las em locais específicos do processo, a fim de que de se atue mais preventivamente e que consiga reparar um defeito na placa eletrônica a quanto antes possível. Assim sendo, os custos dos sistemas de inspeção e testes devem ser comparados em relação ao diagnóstico precoce e ao reparo de defeitos.

Para que isto fosse possível, torna-se necessário estruturar o cromossomo a fim de este seja capaz de representar as inspeções e os testes em cada parte da linha e deste modo associá-los ao custo do reparo de cada defeito. A Figura 48 apresenta uma nova proposta de estruturação do cromossomo, indicando as técnicas de inspeção e teste e os locais na linha de produção onde as mesmas podem ser inseridas.

Pasta de solda			Inserção		Refusão							
MVI	AOI	SPI	MVI	AOI	MVI	AOI	AXI	MDA	ICT	BST	FT	
1	0	0	0	1	0	1	1	0	1	0	1	

Figura 48 - Exemplo da nova representação cromossomial para o problema

De posse das informações do custo do reparo, torna-se possível avaliar os sistemas de inspeções e testes de forma mais minuciosa. Por exemplo, embora os testes FT e BST possuírem uma cobertura de defeitos muito próxima, o reparo da placa eletrônica utilizando o teste BST é muito mais eficiente, portanto, menos custoso, se comparado ao teste FT. O mesmo pode ser aplicado às inspeções SPI e AXI, reparar uma placa eletrônica no processo de aplicação de pasta de solda torna-se até 100 vezes mais barato.

Ainda relacionado com a questão custo, não foram considerados os custos de falha externa. Embora, estes são difíceis de mensurar, torna-se possível agregar a função custo os índices relacionados aos custos dos defeitos que acontecem fora do ambiente fabril, durante o período de vida útil do produto no mercado.

Outra melhoria possível de ser implementada no Planejador Automático diz respeito ao índice de cobertura de defeitos, na versão atual este índice é composto pela combinação da cobertura de defeitos em relação a componentes e juntas de solda. Outra forma possível é usar um índice composto de um par de números, um para o componente e outro para a junta de solda, por exemplo, (76,4%; 80,9%). A cobertura perfeita da placa eletrônica seria dada por (100%; 100%). Enquanto que uma placa eletrônica que passasse por nenhum

sistema de inspeção e teste teria uma cobertura de defeito igual a (0%; 0%). Estratificando estes índices torna-se mais visível para o planejador da qualidade atuar na prevenção dos defeitos, ou seja, quando uma categoria de defeito possuir uma baixa cobertura faz-se necessário controlar mais rigorosamente os parâmetros de processos que podem causar estes defeitos.

Finalmente, propõe-se que exista uma rotina no aplicativo capaz de ler e importar automaticamente dados vindos de uma base de dados de componentes e coleta de defeitos e informações dos arquivos CAD usados nos projetos de cada modelo de placa eletrônica. Deste modo, torna-se mais ágil a configuração dos dados placa eletrônica, e ainda, tornam-se mais dinâmico e preciso para o processo da empresa a configuração dos pesos das propriedades PCOLA e SOQ usado na função cobertura de defeitos.

REFERÊNCIAS

- BENACCHIO, J. H. Q. **Planejamento em Inteligência Artificial utilizando Redes de Petri Cílicas.** Curitiba, 2008. Dissertação (Mestrado) - Universidade Federal do Paraná.
- BENNETTS, R. G. B. **Boundary Scan Tutorial.** Version 2.1, September, 2002. Disponível em: <http://people.ee.duke.edu/~krish/teaching/ECE269/boundaryscan_tutorial.pdf>. Acesso em: 20 mai 2013.
- BERBERT P. C.; YAMAKAMI, A.; FRANÇA, F. **Algoritmo Genético e Evolução Diferencial para a Resolução do Problema de Planejamento Hidrelétrico.** OmniPax Editora. Disponível em: <<http://omnipax.com.br/livros/2013/MHPO/mhpo-cap19.pdf>>. Acesso em: 15 Jan. 2013.
- BHAT, H.; CLARK D. **Using in-line inspection to improve PCB assembly yields.** Electronics Engineer, 1999. Disponível em: <http://www.eetasia.com/ARTICLES/1999DEC/1999DEC01_BT_QA_SMT_TA.PDF?SOURCES=DOWNLOAD>. Acesso em: 17 mai. 2013.
- BOGATIN, E. **Roadmaps of Packaging Technology.** Scottsdale, 1997, Integrated Circuit Engineering Corporation.
- CHAUDHRY, I. A. **A Genetic Algorithm Approach for Process Planning and Scheduling in Job Shop Environment.** Proceedings of the World Congress on Engineering. Vol. III WCE, July, 2012, London, U.K.
- COOMBS, C. F. **Printed Circuits Handbook.** McGraw-Hill, New York, 5th Edition, 2001.
- COSTA, M. R. **Uma contribuição ao estudo do planejamento temporal em Inteligência Artificial.** Curitiba, 2005. Dissertação (Mestrado) - Universidade Federal do Paraná.
- CRANE, E.; KINNEY, E.; JEFFREY, B. **Tackling Advanced Technology Boards: Combining X-Ray and ICT.** Circuits Assembly, 10, p. 28-33, September, 1999.
- DORO, M. M. **Sistemática para implantação da garantia da qualidade em empresas montadoras de placas de circuito impresso.** Florianópolis, 2004. 149 f. Dissertação (Mestrado) - Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Metrologia Científica e Industrial.
- DA, H.E.; EKERE, N. N.; CURRIE, M. A. **The behavior of solder pastes in stencil printing with vibrating squeegee.** IEEE Transactions on Components, Packaging and Manufacturing Technology-Part C, New York, v.21, n.4, p. 317-324, oct. 1998.
- DAVIS, L. **Handbook of Genetic Algorithms.** New York, NY, USA: Van Nostrand Reinhold, 1991.
- DEB, K., PTRATAP, A., AGARWAL, S., MEYARIVAN, T. **A fast and elitist multiobjective genetic algorithm: NSGA II.** IEEE Transactions on Evolutionary Computation, 6(2), 182-197, 2002.
- GEN, M.; CHENG, R. **Genetic Algorithms and Engineering Optimization.** New York, John Wiley & Sons, 2000.
- GHALLAB, M.; NAU, D.; TRAVERSO, P. **Automated Planning: theory and practice.** Morgan Kaufmann Publishers, Burlington, Massachusetts, 2004.
- HIRD, K.; KENNETH, P. P.; FOLLIS, B. **Test coverage: what does it mean when a board test passes?** In Test Conference, 2002. Proceedings. International, p. 1066-1074. IEEE, 2002.

HOLLAND, J. H. **Adaptation in natural and artificial systems: an introductory analysis with applications to biology, control, and artificial intelligence.** MIT Press, Cambridge, Massachusetts, 10th edition, 2010.

HUTCHINS, C. L. **Troubleshooting the Surface Mount and Fine Pitch Technology process.** Raleigh, North Carolina: C. Hutchins and Associates, 1997.

IPC-ASSOCIATION CONNECTING ELECTRONICS INDUSTRIES. **IPC-A-610E:Acceptability of Electronic Assemblies**, April 2010.

JURAN, J.M.; GODFREY, A. B. **Juran,s Quality Control Handbook.** 5th ed. McGraw-Hill New York, 1999.

KAUTZ, H.; WALSER, J. P. **State-space planning by integer optimization.** In Proceedings Fifteenth National Conference on Artificial Intelligence (AAAI-99), pages 526-533, Menlo Park, CA, 1999. AAAI Press.

KENNEDY, M.; BURROUGHS, G.; BAILEY, E. F. **PCB Functional Test for Lifeline Systems Telephone and Communicator.** National Instruments. Disponível em: <<http://sine.ni.com/nipdfgenerator/nipdfgenerator?pageURL=http://sine.ni.com/cs/app/doc/p/id/cs-450/lang/en/pdf/yes&clientAppName=dz>>. Acesso em: 14 Abr. 2013.

LECHETA, E. M. **Algoritmos Genéticos para planejamento em Inteligência Artificial.** Curitiba, 2004. Dissertação (Mestrado) - Universidade Federal do Paraná.

LIEBOWITZ, J. **The Handbook of applied expert systems.** 2nd Edition. CRC PressINC, 1998.

LINDEN, R. **Algoritmos Genéticos.** 2^a edição. Brasport, Rio de Janeiro, 2008

LOPES, H. S. **Fundamentos da Computação Evolucionária e Aplicações.** Bandeirantes, Paraná, p. 52-106, 2006.

LOTZ, C. **We buy good boards! (Improve yield from design to production).** IEEE 8th International Board Test Workshop. (BTW'09), Fort Collins, CO, Sept. 2009.

LOTZ, C.; COLLINS, P.; WIATROWSKI D. **Board Test-Coverage Analysis, what does it mean when a functional test passes.** European Board Test Workshop. 2006.

LUCAS, D. C. **Algoritmos Genéticos: Uma Introdução.** Apostila da disciplina de Ferramentas de Inteligência Artificial. Universidade Federal do Rio Grande do Sul, Março, 2002.

MCCARTHY, J.; HAYES, J. **Some philosophical problems from the standpoint of artificial intelligent. Machine Intelligence,** pages 463-502, 1969.

MICHALEWICZ, Z. **Genetics Algorithms + Data Structures = Evolution Programs.** 3. ed. New York: Springer-Verlag Berlin Hildelberg, 1996.

MITCHELL, M. **An Introduction to Genetic Algorithms.** MIT Press, Cambridge, Massachusetts, London, England, 5th Edition, 1999

NAU, D. S. **Current Trends in Automated Planning.** AI Magazine, Volume 28, Number 4. AAAI - American Association for Artificial Intelligence, 2007.

NGUYEN, T.; REZVANI, N. **Printed Circuit Board Assembly Test Process and Design for Testability**. IEEE - 9th International Symposium on Quality of Electronic Design, San Jose, p. 594-599, March 2008.

NICOLET IMAGING SYSTEMS. **X-Ray Inspection “How It Works”**, San Diego Disponível em: <http://www.teradyne.com/prods/cbt/products/library/xray/wp_xrayhow.pdf>. Acesso em: 04 abr. 2013

OBITKO, M. **Introduction to Genetic Algorithms**. Disponível em: <<http://obitko.com/tutorials/genetic-algorithms>>. Acesso em: 12 Abr. 2013

ORESJO, S. **A new test strategy for complex printed circuit board assemblies**. National Electronic Packaging and Production Conference (NEPCON West). Cahners Exposition Group, p. 1087-1099. Anaheim, February 1999.

ORESJO, S. **How defect coverage as a variable can be used to determine test and inspection strategies**. In Proceedings, SMTA international conference, Chicago, IL, p. 902-917, 2005.

ORESJO, S. **Results from 2007 Industry Defect Level and Test Effectiveness Studies**. IPC Printed Circuits Expo, APEX and Designers Summit, Paper Number S03-03, April 2008.

ORESJO, S. **A new test strategy for complex printed circuit board assemblies**. In Nepcon West, CAHNERS EXPOSITION GROUP, pp. 1087-1099, 1999.

PEALLAT, J. M. **New Opportunities for 3D SPI**. Vi Technology, St Egrève, France. Disponível em: <<http://www.nbsdesign.com/downloads/New%20Opportunities%20for%203D%20SPI.pdf>> Acesso em: 14 mai. 2013

PETERSON, Z. **PCB Functional Testing and The Role of Manufacturer Collaboration**. 2020. Disponível em: <<https://resources.altium.com/p/pcb-functional-testing-and-role-manufacturer-collaboration>> Acesso em: 14 out. 2023

PRESTOY, M. **Winning the Board Testing Task Flying Probe versus Bed of Nails**. Empfasis - Technical Publications, National Electronics Manufacturing Center of Excellence, Feb. 2010. Disponível em: <<http://www.empf.org/empfasis/2010/feb10/winning.html>> Acesso em: 10 abr. 2013.

RUSSELL, S.; NORVIG, P. **Artificial Intelligence: A Modern Approach**. Prentice Hall, New Jersey, 2nd edition, 2003.

SCHEIBER, S. **Building a Successful Board-Test Strategy**. Elsevier, USA, Technology & Engineering. 2nd Edition, 2001.

SHIANG S.; SMITH F.; CHEN, S. F.; LIU Y. J. **The Application of Multi-Level Genetic Algorithms in Assembly Planning**. Journal Industrial Technology Vol. 17, Number 4, August, 2001.

SILVA, F. **Rede de Planos: uma proposta para a solução de problemas de planejamento em Inteligência Artificial usando Redes de Petri**. Curitiba, 2005. Tese (Doutorado) - Universidade Federal do Paraná.

SMITHA G. C.; SMITH, S. S. F. **An enhanced genetic algorithm for automated assembly planning**. Robotics and Computer Integrated Manufacturing, Ed. 18, p. 355364. 2002.

SOUZA, C. P. **Algoritmos Genéticos**. Universidade Federal do Ceará. Disponível em: <http://www.deti.ufc.br/~pimentel/disciplinas/ica_files/Documentos/Algoritmos_Geneticos.pdf>. Acesso em: 06 mar 2013.

STEMMER, M. R. **Algoritmos Genéticos**. Departamento de Automação e Sistemas. Universidade Federal de Santa Catarina. Disponível em: <http://www.das.ufsc.br/~camponog/Disciplinas/DAS-5341/stemmer/Algoritmos_Geneticos.pdf>. Acesso em: 16 mar 2013.

TANOMARU, J. **Motivação, fundamentos e aplicações de algoritmos genéticos**. Anais do II Congresso Brasileiro de Redes Neurais, 1995

TEXAS INSTRUMENT. **Boundary-Scan Logic Fully compliant with IEEE Std 1149.1 (JTAG)**. Product Bulletin, 1998. Disponível em: <<http://aq.ia.agh.edu.pl/aquarium/Dydaktyk/Wyklady/PTC/JTAG/bsl.pdf>> Acesso em: 15 mar. 2013.

TICONA, W. G. C. **Aplicação de Algoritmos Genéticos Multi-Objetivo para Alinhamento de Sequências Biológicas**. Dissertação de Mestrado Instituto de Ciências Matemáticas e de Computação (ICMC-USP). São Carlos, 2003.

TICONA, W. G. C.; DELBÉM, A. C. B. **Algoritmos evolutivos para otimização multi-objetivo**. São Carlos, 2008. Disponível em:<http://www2.icmc.usp.br/~biblio/BIBLIOTECA/not_did/ND_76.pdf> Acesso em: 13 mai 2013.

TONG, P. **Using visual inspection in your PCB test strategy**. Technical Bulletin, Electronics Engineer September, 1998. Disponível em: <http://www.eetasia.com/ARTICLES/1998SEP/1998SEP01_BT_ST_QA_SMT_RR_PM_TA.PDF> Acesso em: 14 Abr. 2013.

Valor Computerized Systems Ltd. **ODB++**. Version B.04. 2001 Disponível em: <<http://electronix.ru/forum/index.php?act=attach&type=post&id=2536>>. Acesso em: 30 abr. 2013.

VERMA, A. **Optimizing test strategies during PCB design for boards with limited ICT access**. In IEEE/CPMT International Electronics Manufacturing Technology Symposium, pp. 364-371. 2002.

VERMA, A.; OGDEN, M; KOKOSKA, J. **Features-Complementary Test Strategies on High-Complexity Boards-A combined test approach reduces PCA time-in-process by minimizing debug/repair/retest time**. Circuits Assembly 11, nº 8, p. 26-31, 2000.

VERMA, A., ROBINSON, C., & BUTKOVICH, S. **Production test effectiveness of combined automated inspection and ICT test strategies**. In Test Conference, 2004. Proceedings. IEEE. ITC 2004. International (pp. 393-402).

WELD, D. S. **Recent advances in AI planning**. AI Magazine, Number 20 p. 93-123. 1999.

WOODGATE, R. W. **The Handbook of Machine Soldering: SMT and TH**. 3rd Edition, New York: John Wiley & Sons Inc., 1996.

ZUBEN, V. F. J. **Algoritmos Genético (AG's)**. Apostila do curso de IA. UNICAMP – Universidade Estadual de Campinas. Disponível em: <ftp://ftp.dca.unicamp.br/pub/docs/vonzuben/ia707_01/topic06_01.pdf>. Acesso em: 12 mai. 2013.

MARCOS MARINOVIC DORO: Possui Pós-Doutorado pela Fundação Centros de Referências em Tecnologias Inovadoras (CERTI), Doutorado em Engenharia Mecânica pela Universidade Federal de Santa Catarina, Mestrado em Metrologia Científica e Industrial pela Universidade Federal de Santa Catarina, Graduação em Engenharia Elétrica pela Universidade São Judas Tadeu e Técnico Eletrônica pela escola SENAI Anchieta. Atualmente é professor do Instituto Federal de São Paulo. Tem experiência nas áreas de Automação, Computação e Engenharia de Produção, atuando principalmente nos seguintes temas: Garantia da Qualidade; Processos de montagem de placas eletrônicas; Controlador Lógico Programável e Desenvolvimento de softwares.

PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE EM MONTAGEM DE PLACAS ELETRÔNICAS

UMA ABORDAGEM UTILIZANDO ALGORITMOS GENÉTICOS



- 🌐 www.atenaeditora.com.br
- ✉️ contato@atenaeditora.com.br
- 📷 [@atenaeditora](https://www.instagram.com/atenaeditora)
- ⬇️ www.facebook.com/atenaeditora.com.br

PLANEJAMENTO DA ESTRATÉGIA DE INSPEÇÃO E TESTE EM MONTAGEM DE PLACAS ELETRÔNICAS

UMA ABORDAGEM UTILIZANDO ALGORITMOS GENÉTICOS

- 
- 🌐 www.atenaeditora.com.br
 - ✉️ contato@atenaeditora.com.br
 - 📷 [@atenaeditora](https://www.instagram.com/atenaeditora)
 - ⬇️ www.facebook.com/atenaeditora.com.br